

NOTICES

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to CMOS (Complementary Metal Oxide Semiconductor) type image sensors, and by dividing a light sensing portion and a circumference circuit, respectively and forming them especially, it relates to the image sensors which cut down the design man day sharply, and its manufacture method while improving a performance.

[0002]

[Description of the Prior Art] The conventional CMOS type image sensors had composition equipped with the circumference circuit of only a lot to the light sensing portion formed by unifying. Drawing 9 is drawing showing the composition of the conventional CMOS type image sensors. On a substrate flat surface, the pixel array 10 arranges the pixel of the unit containing a photodiode in the shape of a matrix, and constitutes them. [two or more] According to the address signal from the outside, by the address decoder 11, the start address of the direction of a low (line) and the direction of a column (train) is generated, and low-scan shift register 12 and the column-scan shift register 13 are supplied. And according to a clock, the row address shifted from a vertical start address one by one with low-scan shift register 12 is generated, and the word line corresponding to a row address in the pixel array 10 is driven by the low driver 14. On the other hand according to a clock, the column address shifted from a horizontal start address one by one with the column-scan shift register 13 is generated, and the bit line corresponding to a column address in the pixel array 10 is driven. To the photo-electric-translation output generated in the photodiode by this in the pixel specified by the row address and column address in the pixel array 10, by the noise-control circuit 15, a necessary noise control is performed and an output is generated. The clock control circuit 16 supplies a necessary clock to an address decoder 11, low-scan shift register 12, and the column-scan shift register 13 according to the clock signal from the outside.

[0003] Thus, through the noise-control circuit, one by one, the photo-electric-translation output which generated a pixel array and its circumference circuit in the photodiode with which only a lot has and was specified to be according to arbitrary selected row addresses and column addresses and which consists of an analog signal consisted of conventional image sensors so that it might be outputted outside.

[0004]

[Problem(s) to be Solved by the Invention] By the way, that the pixel array which takes charge of photoelectrical converter ability in image sensors increases the number of pixels for the improvement in quality of image has large-scale-sized gradually the semiconductor chip which is demanded, therefore carries a pixel array with the increase in the number of pixels. However, a chip scale follows on becoming large, and the influence of the wiring load of the pixel array on a substrate becomes large, therefore the working speed as image sensors falls, and there is a problem having to stop having to lower a FUMU rate as a result. Moreover, in the case of a large-scale chip, there is a problem that the man day for the layout of a circuit design and the mask for substrate exposure increases remarkably.

[0005] This invention aims at offering the CMOS type image sensors which can make the wiring load on a substrate small while it is made in view of an above-mentioned situation and can cut down the man day for a circuit design and a mask layout.

[0006]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, invention according to claim 1 While starting image sensors, connecting [dimensions / two] the pixel block which arranged two or more pixels in the line writing direction and the direction of a train in the above-mentioned line writing direction or the two directions of a train, arranging and forming a pixel array A low selection means to choose the read-out line of two or more pixels which form this pixel block in the direction of a train is arranged along the outside by the side of the train of each pixel block. While arranging a column selection means to choose as a line writing direction the output train

two or more pixels which form this pixel block, along the outside by the side of the line of each pixel block It is characterized by having arranged adjacently a noise-control means to perform the noise control of a pixel output for every output train of this, for every above-mentioned column selection means.

[0007] While invention according to claim 2 relating to image sensors, and connecting [dimensions / two] the pixel block which arranged two or more pixels in the line writing direction and the direction of a train in the above-mentioned line writing direction and every two directions of a train, arranging and forming a pixel array A low selection means to choose the read-out line of two or more pixels which form this pixel block in the direction of a train is arranged along the outside by the side of the train of each pixel block. While arranging a column selection means to choose as a line writing direction the output train of two or more pixels which form this pixel block, along the outside by the side of the line of each pixel block It is characterized by having arranged adjacently a noise-control means to perform the noise control of a pixel output for every output train of this, for every above-mentioned column selection means.

[0008] Invention according to claim 3 is characterized by constituting so that gain dispersion of the output amplifier of both this noise-controls means may be detected by measuring the output of the noise-control means of both pixel block based on [prepare the pixel for sensitivity comparison / proofreading for every two pixel blocks, and] this pixel for sensitivity comparison / proofreading image sensors according to claim 1 or 2 are started [noise control], and it connects [noise control / image sensors] in the above-mentioned line writing direction and/or the direction of a train.

[0009] invention according to claim 4 -- image sensors according to claim 3 -- starting -- the detection result of the above-mentioned gain dispersion -- being based -- gain dispersion of the output amplifier of both the above-mentioned noise-controls means -- an amendment -- it is characterized by constituting like

[0010] Moreover, invention according to claim 5 relates to image sensors according to claim 1 or 2, and is characterized by establishing an analog-to-digital-conversion means to change into a digital signal the output which becomes the output side of each above-mentioned noise-control means from the analog signal from this noise-control means.

[0011] As opposed to the pattern of the pixel block which invention according to claim 6 required for image sensors and arranged two or more pixels to two dimensions in the line writing direction and the direction of a train The 1st pattern which has arranged the pattern of the circumference circuit by the side of a train along the outside by the side of the train of this pixel block, and has arranged the pattern of the circumference circuit by the side of a line along the outside by the side of the line of this pixel block, The 2nd pattern which reversed this 1st pattern in the line writing direction or the direction of a train By exposing on a substrate using the mask for exposure arranged so that the pattern of each above-mentioned pixel block in both these patterns may be connected in a line writing direction or the direction of a train, may arrange and may form the pattern of a pixel array It is characterized by forming image sensors on this substrate.

[0012] As opposed to the pattern of the pixel block which invention according to claim 7 required for image sensors and arranged two or more pixels to two dimensions in the line writing direction and the direction of a train The 1st pattern which has arranged the pattern of the circumference circuit by the side of a train along the outside by the side of the train of this pixel block, and has arranged the pattern of the circumference circuit by the side of a line along the outside by the side of the line of this pixel block, The 2nd pattern which reversed this 1st pattern to the line writing direction, and the 3rd pattern which reversed this 1st pattern in the direction of a train, The 4th pattern which reverses this 1st pattern in the line writing direction and the direction of a train By exposing on a substrate using the mask for exposure arranged so that the pattern of each above-mentioned pixel block in each of this pattern may be connected in a line writing direction and the direction of a train, may arrange and may form the pattern of a pixel array It is characterized by forming image sensors on this substrate.

[0013] As opposed to the pattern of the pixel block which invention according to claim 8 required for image sensors and arranged two or more pixels to two dimensions in the line writing direction and the direction of a train The mask for exposure which has the 1st pattern which has arranged the pattern of the circumference circuit by the side of a train along the outside by the side of the train of this pixel block, has arranged the pattern of the circumference circuit by the side of a line along the outside by the side of the line of this pixel block, and was formed, The mask for exposure which has the 2nd pattern which reversed this 1st pattern in the line writing direction or the direction of a train is used. It is characterized by forming image sensors on this substrate by exposing one by one on one substrate so that the pattern of both the above-mentioned pixel block with this mask for both exposure may be connected in a line writing direction or the direction of a train, may arrange and may form the pattern of a pixel array.

[0014] As opposed to the pattern of the pixel block which invention according to claim 9 required for image sensors and arranged two or more pixels to two dimensions in the line writing direction and the direction of a train The mask for exposure which has the 1st pattern which has arranged the pattern of the circumference circuit by the side of a

train along the outside by the side of the train of this pixel block, and has arranged the pattern of the circumference circuit by the side of a line along the outside by the side of the line of this pixel block, The mask for exposure which has the 2nd pattern which reversed this 1st pattern to the line writing direction, The mask for exposure which has the 3rd pattern which reversed this 1st pattern in the direction of a train, The mask for ***** which has the 4th pattern which reversed this 1st pattern in the line writing direction and the direction of a train is used. It is characterized by forming image sensors on this substrate by exposing one by one on one substrate so that the pattern of each above-mentioned pixel block with each of this mask for exposure may be connected in a line writing direction and the direction of a train, may arrange and may form the pattern of a pixel array.

[0015]

[Function] It is divided or quadrisected. the composition of this invention -- the pixel array of one chip -- 2 -- By having the circumference circuit which forms a pixel block, respectively, reads to each pixel block with the address generation section of a line writing direction and the direction of a train at each, and has a noise-control circuit to a signal Since division operation and division read-out are performed independently, respectively, while being able to make small delay by the load of wiring in a pixel array and being able to raise the frame rate of read-out, the man da of a circuit design and mask layout is sharply reducible.

[0016] Moreover, with another composition of this invention, in above-mentioned composition, while gain dispersion of the output amplifier in the noise-control circuit of each pixel block is detectable by having prepared the pixel for sensitivity comparison / proofreading for every two pixel blocks further, gain dispersion of each output amplifier can be readjusted based on a detection result.

[0017] Moreover, with still more nearly another composition of this invention, since it was made to output after having the analog-to-digital converter for every pixel block and changing the output of each noise-control circuit into the digital signal, the noise based on taking about analog signal wiring for a long time mixed from gain dispersion, a power supply, the circumference circuit section of an output amplifier, etc. can be reduced.

[0018] By the method of this invention, a pixel array moreover, for every two division or quadrisected pixel block The pattern which formed by performing only the pixel block of a lot, the circuit design of only a circumference circuit, and a mask layout design when manufacturing the image sensors equipped with the circumference circuit, respectively, The pattern which reversed this pattern to the necessary sense is used. the pattern of each class Since it exposes on a substrate using the mask for exposure arranged and produced so that each pixel block may be connected and a pixel array may be formed, and image sensors are manufactured, the circuit design for creating the mask for exposure and the man day of mask layout are reducible.

[0019] In the option of this invention, a pixel array moreover, for every two division or quadrisected pixel block The mask for exposure created with the pattern which formed by performing only the pixel block of a lot, the circuit design of only a circumference circuit, and a mask layout design when manufacturing the image sensors equipped with the circumference circuit, respectively, The mask for exposure created with the pattern which reversed the pattern of this mask for exposure to the necessary sense is used. Since it exposes by carrying out alignment so that each pixel block may be connected on a substrate and a pixel array may be formed, and image sensors are manufactured While the circuit design for creating the mask for exposure and the man day of mask layout are reducible Since the chip of one image sensors is created by performing 2 times or four exposure using two sheets or four masks for exposure, the image sensors of a twice [a maximum of] or 4 times as many area scale as this can be manufactured to the area which can be exposed with one mask for exposure.

[0020]

[Embodiments of the Invention] Hereafter, the gestalt of implementation of this invention is explained with reference to a drawing. Explanation is concretely performed using an example.

◇ 1st example drawing 1 is the block diagram showing the electric composition of the image sensors which are the 1st example of this invention. As shown in drawing 1, outline composition of the image sensors of this example is carried out from the pixel block 101,102, an address decoder 111,112, low-scan shift register 121,122, the column-scan shift register 131,132, the low driver 141,142, the noise-control circuit 151,152, and the clock control circuit 161,162.

[0021] Although the pixel block 101,102 is arranged at the time of the mask layout of a substrate, or substrate exposure so that it consists of a circuit block which divided the pixel array of one chip into two, and the pixel array 100 may be formed, when it arranges in succession on 1 flat surface to right and left (it omits a line writing direction and the following) or the upper and lower sides (it omits the direction of a train, and the following), in it, these can carry out division operation and division read-out independently by right and left or the According to the address signal from the outside, an address decoder 111,112 generates the start address of a perpendicular direction (it omits the direction of a train, and the following), and a horizontal direction (it omits a line writing direction and the following), and supplies it to low-scan shift register 121,122 and the column-scan shift register 131,132, respectively

Low-scan shift register 121,122 generates the row address shifted one by one from a vertical start address according to a clock, respectively. The low driver 141,142 drives the word line corresponding to a row address in the pixel block 101,102 according to the row address from low-scan shift register 121,122, respectively. According to a clock, from horizontal start address, the column-scan shift register 131,132 generates the column address shifted one by one, and drives the bit line corresponding to a column address in the pixel block 101,102, respectively. To the photo-electric-translation output from each pixel read from each bit line in the pixel block 101,102, the noise-control circuit 151,152 performs a necessary noise control, and generates an output, respectively. The clock control circuit 161,162 supplies necessary clock to address decoders 111 and 112, low-scan shift registers 121 and 122, and the column-scan shift register 131,132 according to the clock signal from the outside, respectively.

[0022] Next, operation of the image sensors of this example is explained with reference to drawing 1. In the pixel block 101,102, respectively by the clock control circuit 161,162 By supplying a clock to address decoders 111 and 112, low-scan shift registers 121 and 122, and the column-scan shift register 131,132 According to the perpendicular direction and the horizontal start address in the pixel block 101,102 generated by the address decoder 111,112, it set to low - scan shift register 121,122. According to a clock, the address shifted from a vertical start address one by one is generated, respectively. Through the low driver 141,142, drive the word line corresponding to a row address in the pixel array block 101,102, and it sets to the column-scan shift register 131,132. According to a clock, from a horizontal start address, the column address shifted one by one is generated, and the bit line corresponding to a column address in the pixel block 101,102 is driven, respectively. And to the photo-electric-translation output read through a bit line, by the noise-control circuit 151,152, a necessary noise control is performed and an output is generated, respectively, from the pixel specified by the row address and column address in the pixel block 101,102.

[0023] In the external circuit which is not illustrated, it has the memory for one frame (i.e., one chip) of a pixel array for example. The image information based on the pixel block 101,102 outputted from the noise-control circuit 151,152, respectively is accumulated. by address operation While the scan of a corresponding word line in the pixel block 101,102 is performed perpendicularly one by one continuously horizontally Necessary synthetic processing is performed and an image output is generated so that read-out of a bit line may be performed continuously one by one horizontally and the same output as read-out from the pixel array of one chip may be obtained.

[0024] Thus, in the image sensors of this example, since division read-out is performed while delay by the load of wiring in a pixel array becomes small, since 2 ****s of read-out are carried out by the column side (or low side), the frame rate of read-out can be raised, therefore the performance of image sensors can be raised. Only the circuit design and mask layout of a portion of arbitrary 1/2 in the pixel array of one chip are performed. furthermore, the remainin portion For example, so that the pattern reversed right and left (or upper and lower sides) may be prepared and both pixel block may be continuously located in a line with right and left (or upper and lower sides) at the time of mask layout or substrate exposure Since a pixel array is formed by arranging the circuit block divided into two, the design man day of image sensors is sharply reducible.

[0025] <> 2nd example drawing 2 is the block diagram showing the electric composition of the image sensors which are the 2nd example of this invention. As shown in drawing 2, outline composition of the image sensors of this example is carried out from the pixel block 101,102,103,104, an address decoder 111,112,113,114, low-scan shift register 121,122,123,124, the column-scan shift register 131,132,133,134, the low driver 141,142,143,144, the noise control circuit 151,152,153,154, and the clock control circuit 161,162,163,164.

[0026] Although it is arranged at the time of the mask layout of a substrate, or substrate exposure so that the pixel block 101,102,103,104 consists of a circuit block which quadrised the pixel array of one chip, and pixel array 100A may be formed on 1 flat surface, when it arranges continuously up and down, right and left, these can perform division operation and division read-out independently by right and left and the upper and lower sides, respectively. According to the address signal from the outside, an address decoder 111,112,113,114 generates a perpendicular direction and a horizontal start address, and supplies them to low-scan shift register 121,122,123,124 and the column scan shift register 131,132,133,134, respectively. Low-scan shift register 121,122,123,124 generates the row address shifted one by one from a vertical start address according to a clock, respectively. The low driver 141,142,143,144 drives the word line corresponding to a row address in the pixel block 101,102,103,104 according to the row address from low-scan shift register 121,122,123,124, respectively. According to a clock, from a horizontal start address, the column-scan shift register 131,132,133,134 generates the column address shifted one by one, and drives the bit line corresponding to a column address in the pixel block 101,102,103,104, respectively. To the photo-electric-translation output of each pixel in the pixel block 101,102,103,104 read from each bit line, the noise-control circuit 151,152,153,154 performs a necessary noise control, and generates an output, respectively. The clock control circuit 161,162,163,164 supplies a necessary clock to address decoders 111, 112, 113, and 114, low-scan shift registers 121, 122, 123, and 124, and the column-scan shift register 131,132,133,134 according to the clock signal from the outside respectively.

[0027] Next, operation of the image sensors of this example is explained with reference to drawing 2. In the pixel block 101,102,103,104 Respectively by the clock control circuit 161,162,163,164 By supplying a clock to address decoders 111, 112, 113, and 114, low-scan shift registers 121, 122, 123, and 124, and the column-scan shift register 131,132,133,134 It can set to the pixel block 101,102,103,104 generated by the address decoder 111,112,113,114. According to a perpendicular direction and a horizontal start address, it sets to low-scan shift register 121,122,123,124. According to a clock, the row address shifted from a vertical start address one by one is generated respectively. It can set to the pixel block 101,102,103,104 through the low driver 141,142,143,144. Drive the word line corresponding to a row address, and it sets to the column-scan shift register 131,132,133,134. According to a clock, from a horizontal start address, the column address shifted one by one is generated, and the bit line corresponding to a column address in the pixel block 101,102,103,104 is driven, respectively. And to the photo-electric-translation output read through the bit line, by the noise-control circuit 151,152,153,154, a necessary noise control is performed and an output is generated, respectively, from the pixel specified by the row address and column address in the pixel block 101,102,103,104.

[0028] In the external circuit which is not illustrated, it has the memory for one frame (i.e., one chip) of a pixel array for example. The image information based on the pixel block 101,102,103,104 outputted from the noise-control circuit 151,152,153,154, respectively is accumulated. by address operation While the scan of a corresponding word line in the pixel blocks 101,102 and 103,104 is performed perpendicularly one by one continuously horizontally Necessary synthetic processing is performed and an image output is generated so that the scan of a corresponding bit line in the pixel blocks 101,103 and 102,104 may continue perpendicularly, may be performed horizontally one by one and the same output as read-out from the pixel array of one chip may be obtained.

[0029] Thus, in the image sensors of this example, since division read-out is performed while delay by the load of wiring in a pixel array becomes small, since 2 ****s of read-out are carried out by the column and low side, respectively, the frame rate of read-out can be raised, therefore the performance of image sensors can be raised. Onl the circuit design and mask layout of a portion of arbitrary 1/4 in the pixel array of one chip are performed. furthermore, the remaining portion For example, so that right and left and/or the pattern reversed up and down may prepared and four pixel blocks may be continuously located in a line with right and left and the upper and lower side at the time of mask layout or exposure of a substrate Since a pixel array is formed by arranging the quadrisected circuit block, the design man day of image sensors is sharply reducible.

[0030] <> 3rd example drawing 3 is the block diagram showing the electric composition of the image sensors which are the 3rd example of this invention. As shown in drawing 3, outline composition of the image sensors of this example is carried out from the pixel block 101,102, an address decoder 111,112, low-scan shift register 121,122, the column-scan shift register 131,132, the low driver 141,142, the noise-control circuits 151A and 152A, the clock control circuit 161,162, and the pixel 171 for sensitivity comparison / proofreading.

[0031] In this example, it has the same composition as the pixel block 101,102, an address decoder 111,112, low-scan shift register 121,122, the column-scan shift register 131,132, the low driver 141,142, and the circuit element of the same sign in the 1st example indicated to be the clock control circuit 161,162 to drawing 1, respectively, and since the same is said of those functions, below, the detailed explanation about these is omitted below, or it simplifies. Th pixel 171 for sensitivity comparison / proofreading is formed outside the effective pixel field of the pixel array 100, and reads the photo-electric-translation output to the noise-control circuits 151A and 152A based on control of the control section which is not illustrated, respectively at the time of a test. While the noise-control circuits 151A and 152A perform a necessary noise control and generate an output to the photo-electric-translation output from each pixel in the pixel block 101,102 read from each bit line, respectively While comparing the output level in the output amplifier of both the noise-controls circuits 151A and 152A based on the read-out output of the pixel 171 for sensitivity comparison / proofreading and detecting gain dispersion based on control of the control section which is not illustrated It is constituted so that the gain of an output amplifier may be adjusted based on a detection result.

[0032] Next, operation of the image sensors of this example is explained with reference to drawing 3. In the pixel block 101,102, like the case of drawing 1, division operation and division read-out are performed, the photo-electric translation output from each pixel is generated according to specification of a row address and a column address, a necessary noise control is performed, respectively and an output is generated in the noise-control circuits 151A and 152A. Under the present circumstances, according to control of the control section which is not illustrated, the existence and the size containing the output amplifier in both the noise-controls circuits 151A and 152A of each gain dispersion can be known by comparing the output level of each output amplifier of the noise-control circuits 151A and 152A based on the output of the pixel 171 for sensitivity comparison / proofreading. According to control of the control section which is not illustrated, based on the detection result of an output level furthermore, by controlling the gain of each output amplifier in both the noise-controls circuits 151A and 152A Gain of both the noise-controls circuits 151A and 152A can be made equal. by this As long as the capacity of each pixel which constitutes the pixel

block 101,102 is equal, the output level from both the noise-controls circuits 151A and 152A at the time of an equal optical input level can become equal.

[0033] Thus, since the pixel array and the circumference circuit were divided two and have been arranged in the image sensors of this example While being able to make small delay by the load of wiring in a pixel array, being able to raise the frame rate of read-out and being able to cut down the design man day of image sensors sharply further While detecting gain dispersion of the amplifier for an output in each noise-control circuit corresponding to the pixel block divided and arranged by preparing the pixel for sensitivity comparison / proofreading to the pixel block divide into two Gain dispersion of both output amplifiers can be amended.

[0034] <> 4th example drawing 4 is the block diagram showing the electric composition of the image sensors which are the 4th example of this invention. As shown in drawing 4, the image sensors of this example The pixel block 101,102,103,104, An address decoder 111,112,113,114 and low-scan shift register 121,122,123,124, The column-scan shift register 131,132,133,134, Outline composition is carried out from the low driver 141,142,143,144, the noise-control circuits 151A, 152A, 153A, and 154A, the clock control circuit 161,162,163,164, and the pixel 171,172,173,174 for sensitivity comparison / proofreading.

[0035] In this example, it has the same composition as the pixel block 101,102,103,104, an address decoder 111,112,113,114, low-scan shift register 121,122,123,124, the column-scan shift register 131,132,133,134, the low driver 141,142,143,144, and the circuit element of the same sign in the 2nd example indicated to be the clock control circuit 161,162,163,164 to drawing 2, respectively, and the same is said of those functions. The pixel 171,172,173,174 for sensitivity comparison / proofreading is formed outside the effective pixel field of the pixel array 100, and reads the photo-electric-translation output to the noise-control circuit (151A, 152A) of a couple, (151A, 153A), (152A, 154A), and (153A, 154A) based on control of the control section which is not illustrated, respectively at the time of a test. The noise-control circuits 151A, 152A, 153A, and 154A While performing a necessary noise control and generating an output to the photo-electric-translation output from each pixel in the pixel block 101,102,103,104 read from each bit line, respectively Based on control of the control section which is not illustrated are based on the read-out output of the pixel 171,172,173,174 for sensitivity comparison / proofreading. Respective The noise-control circuit (151A, 152A) of a couple, (151A, 153A), While comparing the output level in the output amplifier of (153A, 154A), and (152A, 154A) and detecting gain dispersion between a pair each of output amplifier it is constituted so that the gain of both output amplifiers may be adjusted based on a detection result.

[0036] Next, operation of the image sensors of this example is explained with reference to drawing 4. In the pixel block 101,102,103,104, like the case of drawing 2, division operation and division read-out are performed, the photo-electric-translation output from each pixel is generated according to specification of a row address and a column address, a necessary noise control is performed, respectively and an output is generated in the noise-control circuits 151A, 152A, 153A, and 154A. Under the present circumstances, according to control of the control section which is not illustrated, are based on the read-out output of the pixel 171,172,173,174 for sensitivity comparison / proofreading. By comparing the output level in the output amplifier of the noise-control circuit (151A, 152A) of a couple, (151A, 153A), (152A, 154A), and (153A, 154A), respectively The existence and the size containing the output amplifier in each noise-control circuits 151A, 152A, 153A, and 154A of each gain dispersion can be known. Based on control of the control section which is not illustrated, based on the detection result of an output level furthermore, by controlling the gain of each output amplifier in each noise-control circuits 151A, 152A, 153A, and 154A Gain of each noise-control circuits 151A, 152A, 153A, and 154A can be made equal. by this As long as the capacity of each pixel which constitutes the pixel block 101,102,103,104 is equal, the output level from each noise-control circuits 151A, 152A, 153A, and 154A at the time of an equal optical input level can become equal.

[0037] Thus, since the pixel array and the circumference circuit have been quadrisected and arranged in the image sensors of this example While delay by the load of wiring in a pixel array can small-**, being able to raise the frame rate of read-out and being able to cut down the design man day of image sensors sharply further By preparing the pixel for sensitivity comparison / proofreading every two pixel blocks to the quadrisected pixel block While detecting gain dispersion of the amplifier for an output in each noise-control circuit corresponding to the pixel block divided and arranged, gain dispersion of both output amplifiers can be amended.

[0038] <> 5th example drawing 5 is the block diagram showing the electric composition of the image sensors which are the 5th example of this invention. As shown in drawing 5, outline composition of the image sensors of this example is carried out from the pixel block 101,102, an address decoder 111,112, low-scan shift register 121,122, the column-scan shift register 131,132, the low driver 141,142, the noise-control circuit 151,152, the clock control circuit 161,162, and the analog-to-digital (A/D) converter 181,182.

[0039] In this example, it has the same composition as the circuit element of the same sign in the 1st example indicated to be the pixel block 101,102, an address decoder 111,112, low-scan shift register 121,122, the column-scan shift register 131,132, the low driver 141,142, the noise-control circuit 151,152, and the clock control circuit 161,162

to drawing 1 , respectively, and the same is said of those functions. A/D converter 181,182 is read from the pixel block 101,102 for every column, respectively, and changes and outputs the output which consists of an analog signal which had the noise control performed in the noise-control circuit 151,152 to a digital signal.

[0040] Next, operation of the image sensors of this example is explained with reference to drawing 5 . In the pixel block 101,102, like the case of drawing 1 , division operation and division read-out are performed, the photo-electric translation output from each pixel is generated according to specification of a row address and a column address, a necessary noise control is performed, respectively and an output is generated in the noise-control circuit 151,152. A converter 181,182 changes and outputs the output which consists of an analog signal from the noise-control circuit 151,152, respectively to a digital signal.

[0041] In the visual equipment using image sensors, by taking about analog signal wiring for a long time, possibility of being influenced of the noise mixed from gain dispersion, a power supply, a circumference circuit of an output amplifier, etc. may become high, and may cause dispersion in an image output level, and noise. Then, an A/D converter is set near the pixel array, and a noise can be reduced, while leading about of an analog signal will decrease and a possibility of producing dispersion in an image output level will decrease, if the output which consists of an analog signal from a noise-control circuit is changed into a digital signal and it is made to output it.

[0042] Thus, since the pixel array and the circumference circuit were divided two and have been arranged in the image sensors of this example While being able to make small delay by the load of wiring in a pixel array, being able to raise the frame rate of read-out and being able to cut down the design man day of image sensors sharply further Since the A/D converter was prepared in the noise-control circuit output and the image-sensors output was digital-signal-ized, level dispersion and the noise in an image output can be reduced.

[0043] <> 6th example drawing 6 is the block diagram showing the electric composition of the image sensors which are the 6th example of this invention. As shown in drawing 6 , the image sensors of this example The pixel block 101,102,103,104, An address decoder 111,112,113,114 and low-scan shift register 121,122,123,124, The column-scan shift register 131,132,133,134, Outline composition is carried out from the low driver 141,142,143,144, the noise-control circuit 151,152,153,154, the clock control circuit 161,162,163,164, and the analog-to-digital (A/D) converter 181,182,183,184.

[0044] In this example, it has the same composition as the pixel block 101,102,103,104, an address decoder 111,112,113,114, low-scan shift register 121,122,123,124, the column-scan shift register 131,132,133,134, the low driver 141,142,143,144, and the circuit element of the same sign in the 2nd example indicated to be the clock control circuit 161,162,163,164 to drawing 2 , respectively, and the same is said of those functions. A/D converter 181,182,183,184 is read from the pixel block 101,102,103,104 for every column, respectively, and changes and outputs the output which consists of an analog signal which had the noise control performed in the noise-control circuit 151,152,153,154 to a digital signal.

[0045] Next, operation of the image sensors of this example is explained with reference to drawing 6 . In the pixel block 101,102,103,104, like the case of drawing 2 , division operation and division read-out are performed, a photo-electric-translation output is generated from each pixel according to specification of a row address and a column address, a necessary noise control is performed, respectively and an output is generated in the noise-control circuit 151,152,153,154. A/D converter 181,182,183,184 changes and outputs the output which consists of an analog signal from the noise-control circuit 151,152,153,154, respectively to a digital signal.

[0046] In the visual equipment using image sensors, by taking about analog signal wiring for a long time, possibility of being influenced of the noise mixed from gain dispersion, a power supply, a circumference circuit of an output amplifier, etc. may become high, and may cause dispersion in an image output level, and noise. Then, an A/D converter is set near the pixel array, and a noise can be reduced, while leading about of an analog signal will decrease and a possibility of producing dispersion in an image output level will decrease, if the output which consists of an analog signal from a noise-control circuit is changed into a digital signal and it is made to output it.

[0047] Thus, since the pixel array and the circumference circuit have been quadrisectioned and arranged in the image sensors of this example While being able to make small delay by the load of wiring in a pixel array, being able to raise the frame rate of read-out and being able to cut down the design man day of image sensors sharply further Since the A/D converter was prepared in the noise-control circuit output and the image-sensors output was digital-signal-ized, level dispersion and the noise in an image output can be reduced.

[0048] <> 7th example drawing 7 is drawing explaining the manufacture method of the image sensors which are the 7th example of this invention. As opposed to the patterns 19A and 19B of the pixel block with which the mask 21 for exposure of this example arranged two or more pixels to two dimensions at the horizontal direction and the perpendicular direction as shown in drawing 7 (a) The pattern 20A1 of the circumference circuit by the side of a track which corresponds in the same subscript, and 20B1 The pattern which has arranged on the outside by the side of the track of the patterns 19A and 19B of a pixel block, respectively, and has arranged the pattern 20A2 of the

circumference circuit by the side of a line and 20 B-2 on the outside by the side of the line of the patterns 19A and 19B of a pixel block, respectively is formed on one mask.

[0049] Pattern 19A of a pixel block here It is a thing corresponding to the pixel block 101 in the case of the 1st example. for example, the pattern 20A1 of a circumference circuit For example, it is a thing containing the pattern o the address decoder 111 in the case of the 1st example, low-scan shift register 111, the low driver 141, and the clock control circuit 161. The pattern of the circumference circuit 20A2 contains the pattern of the column-scan shift register 131 in the case of the 1st example, and the noise-control circuit 151. The same is said of the relation between pattern 19B of other pixel blocks, and the pattern 20B1 of a circumference circuit and 20 B-2. Moreover, it is the same when the composition of a circumference circuit is a thing corresponding to the 3rd example and the 5th example.

[0050] The circuit design and mask layout in this case For example, after carrying out only to pattern 19A of a pixel block, the pattern 20A1 of a circumference circuit, and 20A2, By what reversed pattern 19A of a pixel block, the pattern 20A1 of a circumference circuit, and the pattern that consists of 20A2 right and left A mask 21 is created by forming pattern 19B of a pixel block, and the pattern 20B1 of a circumference circuit and 20 B-2, and arranging in t position where pattern 19B of a pixel block of this adjoins the right-hand side of pattern 19A of a pixel block.

[0051] thus, in manufacturing image sensors using the created mask 21 As shown in drawing 7 (b), by performing o exposure on a silicon substrate using a mask 21 The pixel array 220 the pixel blocks 22A and 22B come [pixel] to connect, Since exposure of the image-sensors substrate 24 by which a circumference circuit (23A1, 23A2), and (23B1, 23 B-2) have been arranged, respectively is carried out to the circumference of each pixel blocks 22A and 22 Henceforth, the chip of image sensors can be manufactured by processing common knowledge, such as developmen

[0052] Thus, by the manufacture method of the image sensors of this example, since the mask for exposure is create with one pixel block, the circuit design to the circumference circuit, the pattern formed of mask layout, and the pattern which reversed and formed this pattern in right and left and an image-sensors substrate is manufactured by one exposure with this mask for exposure, a man day required for the circuit design and mask layout of image senso is reducible.

[0053] <> Octavus example drawing 8 is drawing explaining the manufacture method of the image sensors which a the octavus examples of this invention. As opposed to the patterns 19A, 19B, 19C, and 19D of the pixel block with which mask 21A for exposure of this example arranged two or more pixels to two dimensions at the horizontal direction and the perpendicular direction as shown in drawing 8 (a) The pattern 20A1 of the circumference circuit b the side of a train which corresponds in the same subscript, 20B1, 20C1, and 20D1 It arranges on the outside by the side of the train of the patterns 19A, 19B, 19C, and 19D of a pixel block, respectively. The pattern which has arranged the pattern 20A2 of the circumference circuit by the side of a line, 20 B-2, 20C2, and 20D2 on the outside the side of the line of the patterns 19A, 19B, 19C, and 19D of a pixel block, respectively is formed on one mask.

[0054] Pattern 19A of a pixel block here It is a thing corresponding to the pixel block 101 in the case of the 2nd example. for example, the pattern 20A1 of a circumference circuit For example, it is a thing containing the pattern o the address decoder 111 in the case of the 2nd example, low-scan shift register 121, the low driver 141, and the clock control circuit 161. The pattern of the circumference circuit 20A2 contains the pattern of the column-scan shift register 131 in the case of the 2nd example, and the noise-control circuit 151. The same is said of the relation between the patterns 19B, 19C, and 19D of other pixel blocks, the pattern (20B1, 20 B-2) of a circumference circuit, (20C1, 20C2), and (20D1, 20D2). Moreover, it is the same when the composition of a circumference circuit is a thing corresponding to the 4th example and the 6th example.

[0055] The circuit design and mask layout in this case For example, after carrying out only to pattern 19A of a pixel block, the pattern 20A1 of a circumference circuit, and 20A2, By what reversed pattern 19A of a pixel block, the pattern 20A1 of a circumference circuit, and the pattern that consists of 20A2 right and left Pattern 19B of a pixel block, and the pattern 20B1 of a circumference circuit and 20 B-2 are formed. This is arranged in the position where pattern 19B of a pixel block adjoins the right-hand side of pattern 19A of a pixel block. By what reversed pattern 19 of a pixel block, the pattern 20A1 of a circumference circuit, and the pattern that consists of 20A2 up and down Pattern 19C of a pixel block, and the pattern 20C1 of a circumference circuit and 20C2 are formed. ***** is arranged in the position where pattern 19C of a pixel block adjoins the pattern 19A bottom of a pixel block. Pattern 19A of a pixel block, the pattern 20A1 of a circumference circuit, and the pattern that consists of 20A2 by right and left and the thing which was reversed up and down Pattern 19D of a pixel block, and the pattern 20D1 of a circumference circuit and 20D2 are formed. Mask 21A for exposure is produced by arranging ***** in the positio where pattern 19D of a pixel block adjoins pattern 19B [side / lower right / of pattern 19A of a pixel block] of a pixel block, and pattern 19C of a pixel block.

[0056] thus, in manufacturing image sensors using the created mask for exposure As shown in drawing 8 (b), by performing one exposure on a silicon substrate using mask 21A The pixel array 221 the pixel blocks 22A, 22B, 22C

and 22D come [pixel] to connect, Around each pixel blocks 22A, 22B, 22C, and 22D, respectively A circumference circuit (23A1, 23A2), Since exposure of image-sensors substrate 24A by which (23B1, 23 B-2), (23C1; 23C2), and (23D1, 23D2) have been arranged is performed, the chip of image sensors can be henceforth manufactured by processing common knowledge, such as development.

[0057] thus, by the manufacture method of the image sensors of this example One pixel block, the circuit design to the circumference circuit, and the pattern formed of mask layout, With the pattern which reversed and formed this pattern in right and left, the pattern which reversed up and down and was formed, and the pattern which reversed up and down with right and left, and was formed Since the mask for exposure is created and an image-sensors substrate is manufactured by one exposure with this mask for exposure, a man day required for the circuit design and mask layout of image sensors is reducible.

[0058] Drawing 9 is drawing explaining the manufacture method of the image sensors which are the 9th example of this invention. Pattern 25A of a pixel block which arranged two or more pixels as show the mask for exposure of thi example to drawing 9 (a) to two dimensions at the horizontal direction and the perpendicular direction, Mask 27A which has the pattern which consists of a pattern 26A1 of the circumference circuit by the side of a train, and a patte 26A2 of the circumference circuit by the side of a line, It consists of mask 27B which has the pattern which consists of pattern 25B of a pixel block which arranged two or more pixels as shown in drawing 9 (b) to two dimensions at t horizontal direction and the perpendicular direction, and the pattern 26B1 of the circumference circuit by the side of train and pattern 26 B-2 of the circumference circuit by the side of a line.

[0059] Pattern 25A of a pixel block here It is a thing corresponding to the pixel block 101 in the case of the 1st example. for example, the pattern 26A1 of a circumference circuit For example, it is a thing containing the pattern which consists of the address decoder 111 in the case of the 1st example, low-scan shift register 121, a low driver 141, and a clock control circuit 161. The pattern 26A2 of a circumference circuit contains the column-scan shift register 131 in the case of the 1st example, and the pattern which consists of a noise-control circuit 151. The same is said of the relation between pattern 25B of other pixel blocks, and the pattern 26B1 of a circumference circuit and 2 B-2. Moreover, it is the same when the composition of a circumference circuit is a thing corresponding to the 3rd example and the 5th example.

[0060] It carries out only to pattern 25A of a pixel block, the pattern 26A1 of a circumference circuit, and 26A2, ma 27A is created, and the circuit design and mask layout in this case create mask 27B which has pattern 25B of a pixe block, the pattern 26B1 of a circumference circuit, and the pattern that consists of 26 B-2 by what reversed the patte of mask 27A right and left.

[0061] thus, in manufacturing image sensors using the produced mask for exposure By using Masks 27A and 27B, and performing two exposure on a silicon substrate, performing alignment one by one, as shown in drawing 9 (c) While the pixel blocks 28A and 28B are connected [right and left] and form the pixel array 280 Since exposure of the image-sensors substrate 30 by which a circumference circuit (29A1, 29A2), and (29B1, 29 B-2) have been arranged, respectively is carried out to the circumference of each pixel blocks 28A and 28B Henceforth, the chip of image sensors can be manufactured by processing common knowledge, such as development.

[0062] thus, by the manufacture method of the image sensors of this example One pixel block, the circuit design on to the circumference circuit, and the mask for exposure created with the pattern formed by mask layout, Since an image-sensors substrate is manufactured by performing two exposure one by one using the mask for exposure create with the pattern which reversed and formed this pattern in right and left, carrying out alignment A man day required for the circuit design and mask layout of image sensors is reducible. Moreover, by the manufacture method of the image sensors of this example, since two exposure is performed using two masks for exposure and the chip of one image sensors is created, the image sensors of a twice [a maximum of] as many area scale as this can be manufactured to the area which can be exposed with one mask for exposure.

[0063] Drawing 10 is drawing explaining the manufacture method of the image sensors which are the 10th example of this invention. Pattern 25A of a pixel block which arranged two or more pixels as show the mask for exposure of this example to drawing 10 (a) to two dimensions at the horizontal direction and the perpendicular direction, Mask 27A which has the pattern which consists of a pattern 26A1 of the circumference circuit by the side of a train, and a pattern 26A2 of the circumference circuit by the side of a line, Pattern 25B of a pixel block which arranged two or more pixels as shown in this drawing (b) to two dimensions at the horizontal direction and the perpendicular direction, Mask 27B which has the pattern which consists of a pattern 26B1 of the circumference circuit by the side a train, and pattern 26 B-2 of the circumference circuit by the side of a line, Pattern 25C of a pixel block which arranged two or more pixels as shown in this drawing (c) to two dimensions at the horizontal direction and the perpendicular direction, Mask 27C which has the pattern which consists of a pattern 26C1 of the circumference circuit by the side of a train, and a pattern 26C2 of the circumference circuit by the side of a line, It consists of mask 27D which has the pattern which consists of pattern 25D of a pixel block which arranged two or more pixels as show

in this drawing (d) to two dimensions at the horizontal direction and the perpendicular direction, and the pattern 26D of the circumference circuit by the side of a train and the pattern 26D2 of the circumference circuit by the side of a line.

[0064] Pattern 25A of a pixel block here It is a thing corresponding to the pixel block 101 in the case of the 2nd example. for example, the pattern 26A1 of a circumference circuit For example, it is a thing containing the pattern which consists of the address decoder 111 in the case of the 2nd example, low-scan shift register 121, a low driver 141, and a clock control circuit 161. The pattern 26A2 of a circumference circuit contains the column-scan shift register 131 in the case of the 2nd example, and the pattern which consists of a noise-control circuit 151. The same is said of the relation between the patterns 25B, 25C, and 25D of other pixel blocks, the pattern (26B1, 26B-2) of a circumference circuit, (26C1, 26C2), and (26D1, 26D2). Moreover, it is the same when the composition of a circumference circuit is a thing corresponding to the 4th example and the 6th example.

[0065] Perform the circuit design and mask layout in this case only to pattern 25A of a pixel block, the pattern 26A1 of a circumference circuit, and 26A2, and they create mask 27A. Mask 27B which has pattern 25B of a pixel block, the pattern 26B1 of a circumference circuit, and the pattern that consists of 26B-2 by what reversed the pattern of mask 27A right and left is produced. Mask 27C which has pattern 25C of a pixel block, the pattern 26C1 of a circumference circuit, and the pattern that consists of 26C2 by what reversed the pattern of mask 27A up and down created. Mask 27D which has pattern 25D of a pixel block, the pattern 26D1 of a circumference circuit, and the pattern that consists of 26D2 by what reversed the pattern of mask 27A up and down with right and left is created.

[0066] thus, in manufacturing image sensors using the created mask for exposure By using Masks 27A, 27B, 27C, and 27D, and performing four exposure on a silicon substrate, performing alignment one by one, as shown in this drawing (e) While the pixel blocks 28A, 28B, 27C, and 27D are connected [upper and lower sides / right-and-left] and form the pixel array 281 Around each pixel blocks 28A, 28B, 27C, and 27D, respectively A circumference circuit (29A1, 29A2), Since exposure of image-sensors substrate 30A by which (29B1, 29B-2), (29C1, 29C2), and (29D1, 29D2) have been arranged is performed, the chip of image sensors can be henceforth manufactured by processing common knowledge, such as development.

[0067] thus, by the manufacture method of the image sensors of this example One pixel block, the circuit design to the circumference circuit, and the mask for exposure created with the pattern formed by mask layout, The mask for exposure created with the pattern which reversed and formed this pattern in right and left, By performing four exposure one by one using the mask for exposure created with the pattern which reversed up and down and was formed, and the mask for exposure created with the pattern which reversed up and down with right and left, and was formed, carrying out alignment Since an image-sensors substrate is manufactured, a man day required for the circuit design and mask layout of image sensors is reducible. Moreover, by the manufacture method of the image sensors of this example, since four exposure is performed using four masks for exposure and the chip of one image sensors is created, the image sensors of an a maximum of 4 times as many area scale as this can be manufactured to the area which can be exposed with one mask for exposure.

[0068] As mentioned above, although the example of this invention has been explained in full detail with the drawn concrete composition was not restricted to this example, and even if there is change of a design of the range which does not deviate from the summary of this invention, it is included in this invention. For example, you may make it make each pixel block and each circumference circuit operate sequentially at time which may be operated simultaneously or is different, respectively. According to the latter method, the power for operating image sensors can be reduced. As a pixel for sensitivity comparison / proofreading, the pixel within each pixel block is used, the output of a noise-control circuit based on this pixel is measured, and dispersion is detected, it may be made to amend gain both output amplifiers so that an output may become equal, and it becomes unnecessary moreover, to prepare the pixel for sensitivity comparison / proofreading, and its control circuit outside an effective pixel field according to the method.

[0069]

[Effect of the Invention] according to [as explained above] the image sensors of this invention -- a pixel array and circumference circuit -- 2 -- since it has divided, or quadrisectioned and arranged, delay by the load of wiring in a pixel array can be made small, the frame rate of read-out can be raised, and the design man day of image sensors can be cut down further sharply Furthermore, gain dispersion can be amended while detecting gain dispersion of the amplifier for an output in each noise-control circuit corresponding to the pixel block divided and arranged in the pixel array since the pixel for sensitivity comparison / proofreading was prepared to two division or the quadrisectioned pixel block Moreover, a noise can be reduced, while leading about of an analog signal decreases and a possibility of producing level dispersion in an image output decreases, since the A/D converter was prepared in the noise-control circuit output and the image-sensors output was digital-signal-ized. Moreover, since the chip of one image sensors is manufactured by performing 2 times or four exposure using two sheets or four masks for exposure, the image sensors of a twice [

maximum of] or 4 times as many area scale as this can be manufactured to the area which can be exposed with one mask for exposure.

[Translation done.]

#1

PAT-NO: JP02000152085A
DOCUMENT-IDENTIFIER: JP 2000152085 A
TITLE: IMAGE SENSOR AND ITS PRODUCTION
PUBN-DATE: May 30, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
MURAMATSU, YOSHITOKU	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC CORP	N/A

APPL-NO: JP10318117

APPL-DATE: November 9, 1998

INT-CL (IPC): H04N005/335, H01L027/146 , G06F017/50

ABSTRACT:

PROBLEM TO BE SOLVED: To divide a pixel array and a peripheral circuit into two or four to arrange them in this image sensor.

SOLUTION: In this image sensor, two pixel blocks 101 or the like where pixels are arrayed two-dimensionally in the row direction and the column direction are continuously arrayed in the row direction or the column direction to form a pixel array 100, and a row scan shift register 121, a row driver 141, etc., which select read rows of plural pixels forming the pixel block in the column direction are arranged along the outside of rows of each pixel block, and a column scan shift register 131, etc., which selects

output columns of
plural pixels forming the pixel blocks in the row direction
are arranged along
the outside of rows of the each pixel block, and a noise
control circuit 151,
etc., which controls the noise of the pixel output in each
output column are
arranged adjacently to the column scan shift register.

COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-152085
(P2000-152085A)

(43) 公開日 平成12年5月30日 (2000.5.30)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
H 0 4 N	5/335	H 0 4 N 5/335	E 4 M 1 1 8
H 0 1 L	27/146	H 0 1 L 27/14	Z 5 B 0 4 6
// G 0 6 F	17/50	G 0 6 F 15/60	A 5 C 0 2 4
			6 5 8 B

審査請求 有 請求項の数 9 O L (全 17 頁)

(21) 出願番号 特願平10-318117

(22) 出願日 平成10年11月9日 (1998.11.9)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 村松 良徳

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100099830

弁理士 西村 征生

Fターム (参考) 4M118 AA05 AA10 AB01 BA14 EA01

FA06 FA50

5B046 AA08 BA05

5C024 CA05 CA31 CA33 FA01 FA11

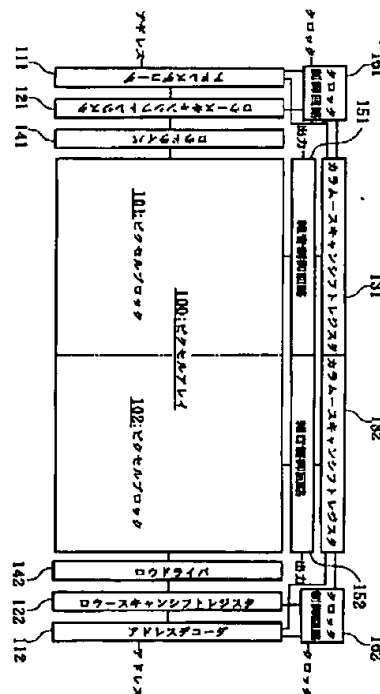
GA31 HA18 JA09 JA10

(54) 【発明の名称】 イメージセンサ及びその製作方法

(57) 【要約】

【課題】 イメージセンサにおいて、ピクセルアレイと周辺回路を、2分割又は4分割して配置できるようにする。

【解決手段】 開示されるイメージセンサは、ピクセルを行方向と列方向とに二次元に配列したピクセルブロック101等を、行方向又は列方向に2個連接して配列してピクセルアレイ100を形成し、ピクセルブロックを形成する複数のピクセルの読み出し行を列方向に選択するロウスキャンシフトレジスタ121、ロウドライバ141等を各ピクセルブロックの列側の外側に沿って配置し、ピクセルブロックを形成する複数のピクセルの出力列を行方向に選択するカラムスキャンシフトレジスタ131等を各ピクセルブロックの行側の外側に沿って配置するとともに、出力列ごとにピクセル出力の雑音制御を行う雑音制御回路151等をカラムスキャンシフトレジスタに隣接して配置したものである。



【特許請求の範囲】

【請求項1】 複数のピクセルを行方向と列方向とに二次元に配列したピクセルブロックを、前記行方向又は列方向に2個連続して配列してピクセルアレイを形成するとともに、該ピクセルブロックを形成する複数のピクセルの読み出し行を列方向に選択するロウ選択手段を各ピクセルブロックの列側の外側に沿って配置し、該ピクセルブロックを形成する複数のピクセルの出力列を行方向に選択するカラム選択手段を各ピクセルブロックの行側の外側に沿って配置するとともに、該出力列ごとにピクセル出力の雑音制御を行う雑音制御手段を前記カラム選択手段ごとに隣接して配置したことを特徴とするイメージセンサ。

【請求項2】 複数のピクセルを行方向と列方向とに二次元に配列したピクセルブロックを、前記行方向及び列方向に2個ずつ連続して配列してピクセルアレイを形成するとともに、該ピクセルブロックを形成する複数のピクセルの読み出し行を列方向に選択するロウ選択手段を各ピクセルブロックの列側の外側に沿って配置し、該ピクセルブロックを形成する複数のピクセルの出力列を行方向に選択するカラム選択手段を各ピクセルブロックの行側の外側に沿って配置するとともに、該出力列ごとにピクセル出力の雑音制御を行う雑音制御手段を前記カラム選択手段ごとに隣接して配置したことを特徴とするイメージセンサ。

【請求項3】 前記行方向及び／又は列方向に接続する2個のピクセルブロックごとに、感度比較・較正用ピクセルを設け、該感度比較・較正用ピクセルに基づく両ピクセルブロックの雑音制御手段の出力を比較することによって、該両雑音制御手段の出力増幅器の利得ばらつきを検出するように構成したことを特徴とする請求項1又は2記載のイメージセンサ。

【請求項4】 前記利得ばらつきの検出結果に基づいて、前記両雑音制御手段の出力増幅器の利得ばらつきを補正するように構成したことを特徴とする請求項3記載のイメージセンサ。

【請求項5】 前記各雑音制御手段の出力側に該雑音制御手段からのアナログ信号からなる出力をデジタル信号に変換するアナログデジタル変換手段を設けたことを特徴とする請求項1又は2記載のイメージセンサ。

【請求項6】 複数のピクセルを行方向と列方向とに二次元に配列したピクセルブロックのパターンに対して、該ピクセルブロックの列側の外側に沿って列側の周辺回路のパターンを配置し、該ピクセルブロックの行側の外側に沿って行側の周辺回路のパターンを配置した第1のパターンと、該第1のパターンを行方向又は列方向に反転した第2のパターンとを、該両パターンにおける前記各ピクセルブロックのパターンが、行方向又は列方向に接続して配列してピクセルアレイのパターンを形成するように配置した露光用マスクを用いて基板上に露光を行

うことによって、該基板上にイメージセンサを形成することを特徴とするイメージセンサの製作方法。

【請求項7】 複数のピクセルを行方向と列方向とに二次元に配列したピクセルブロックのパターンに対して、該ピクセルブロックの列側の外側に沿って列側の周辺回路のパターンを配置し、該ピクセルブロックの行側の外側に沿って行側の周辺回路のパターンを配置した第1のパターンと、該第1のパターンを行方向に反転した第2のパターンと、該第1のパターンを列方向に反転した第3のパターンと、該第1のパターンを行方向及び列方向に反転した第4のパターンとを、該各パターンにおける前記各ピクセルブロックのパターンが、行方向及び列方向に接続して配列してピクセルアレイのパターンを形成するように配置した露光用マスクを用いて基板上に露光を行うことによって、該基板上にイメージセンサを形成することを特徴とするイメージセンサの製作方法。

【請求項8】 複数のピクセルを行方向と列方向とに二次元に配列したピクセルブロックのパターンに対して、該ピクセルブロックの列側の外側に沿って列側の周辺回路のパターンを配置し、該ピクセルブロックの行側の外側に沿って行側の周辺回路のパターンを配置して形成した第1のパターンを有する露光用マスクと、該第1のパターンを行方向又は列方向に反転した第2のパターンを有する露光用マスクとを用いて、該両露光用マスクによる前記両ピクセルブロックのパターンが、行方向または列方向に接続して配列してピクセルアレイのパターンを形成するように1つの基板上に順次露光を行うことによって、該基板上にイメージセンサを形成することを特徴とするイメージセンサの製作方法。

【請求項9】 複数のピクセルを行方向と列方向とに二次元に配列したピクセルブロックのパターンに対して、該ピクセルブロックの列側の外側に沿って列側の周辺回路のパターンを配置し、該ピクセルブロックの行側の外側に沿って行側の周辺回路のパターンを配置した第1のパターンを有する露光用マスクと、該第1のパターンを行方向に反転した第2のパターンを有する露光用マスクと、該第1のパターンを列方向に反転した第3のパターンを有する露光用マスクと、該第1のパターンを行方向及び列方向に反転した第4のパターンを有する露光用マスクとを用いて、該各露光用マスクによる前記各ピクセルブロックのパターンが、行方向及び列方向に接続して配列してピクセルアレイのパターンを形成するように1つの基板上に順次露光を行うことによって、該基板上にイメージセンサを形成することを特徴とするイメージセンサの製作方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、CMOS (Complementary Metal Oxide Semiconductor) 型イメージセンサに係り、特に、受光部と周辺回路を、それぞれ分割し

て形成することによって、性能を向上するとともに設計工数を大幅に削減した、イメージセンサ及びその製作方法に関する。

【0002】

【従来の技術】従来のCMOS型イメージセンサは、一体化して形成された受光部に対して、一組だけの周辺回路を備える構成を有していた。図9は、従来のCMOS型イメージセンサの構成を示す図である。ピクセルアレイ10は、フォトダイオードを含む単位のピクセルを、複数個、基板平面上にマトリクス状に配列して構成したものである。外部からのアドレス信号に応じて、アドレスデコーダ11によって、ロウ（行）方向とカラム

（列）方向の先頭アドレスを生成して、ロウスキャンシフトレジスタ12と、カラムスキャンシフトレジスタ13とに供給する。そして、クロックに応じて、ロウスキャンシフトレジスタ12で、垂直方向の先頭アドレスから、順次シフトするロウアドレスを生成して、ロウドライバ14によって、ピクセルアレイ10における、ロウアドレスに対応するワード線を駆動する。一方、クロックに応じて、カラムスキャンシフトレジスタ13によって、水平方向の先頭アドレスから、順次シフトするカラムアドレスを生成して、ピクセルアレイ10における、カラムアドレスに対応するビット線を駆動する。これによって、ピクセルアレイ10における、ロウアドレスとカラムアドレスで指定されたピクセルにおいて、フォトダイオードで発生した光電変換出力に対して、雑音制御回路15によって、所要の雑音制御を行って出力を発生する。クロック制御回路16は、外部からのクロック信号に応じて、アドレスデコーダ11、ロウスキャンシフトレジスタ12、カラムスキャンシフトレジスタ13に対して、所要のクロックを供給する。

【0003】このように、従来のイメージセンサでは、ピクセルアレイとその周辺回路とを一組だけ有し、選択された任意のロウアドレス及びカラムアドレスに従って指定されたフォトダイオードで発生した、アナログ信号からなる光電変換出力が、雑音制御回路を経て、順次、外部に出力されるように構成されていた。

【0004】

【発明が解決しようとする課題】ところで、イメージセンサにおいて光電変換機能を受け持つピクセルアレイは、画質向上のために、画素数を増加することが要求されており、そのため、ピクセルアレイを搭載する半導体チップは、ピクセル数の増加に伴って、次第に大規模化している。しかしながら、チップ規模が大きくなるに伴って、基板上におけるピクセルアレイの配線負荷の影響が大きくなり、そのため、イメージセンサとしての動作速度が低下して、結果的にフームレートを下げなければならないという問題がある。また、大規模チップの場合、回路設計及び基板露光用マスクのレイアウトのための工数が著しく増大するという問題がある。

【0005】この発明は、上述の事情に鑑みてなされたものであって、回路設計及びマスクレイアウトのための工数を削減することができるとともに、基板上の配線負荷を小さくすることが可能な、CMOS型イメージセンサを提供することを目的としている。

【0006】

【課題を解決するための手段】上記課題を解決するため、請求項1記載の発明は、イメージセンサに係り、複数のピクセルを行方向と列方向とに二次元に配列したピクセルブロックを、上記行方向又は列方向に2個接続して配列してピクセルアレイを形成するとともに、該ピクセルブロックを形成する複数のピクセルの読み出し行を列方向に選択するロウ選択手段を各ピクセルブロックの列側の外側に沿って配置し、該ピクセルブロックを形成する複数のピクセルの出力列を行方向に選択するカラム選択手段を各ピクセルブロックの行側の外側に沿って配置するとともに、該出力列ごとにピクセル出力の雑音制御を行う雑音制御手段を上記カラム選択手段ごとに隣接して配置したことを特徴としている。

【0007】請求項2記載の発明は、イメージセンサに係り、複数のピクセルを行方向と列方向とに二次元に配列したピクセルブロックを、上記行方向及び列方向に2個ずつ接続して配列してピクセルアレイを形成するとともに、該ピクセルブロックを形成する複数のピクセルの読み出し行を列方向に選択するロウ選択手段を各ピクセルブロックの列側の外側に沿って配置し、該ピクセルブロックを形成する複数のピクセルの出力列を行方向に選択するカラム選択手段を各ピクセルブロックの行側の外側に沿って配置するとともに、該出力列ごとにピクセル出力の雑音制御を行う雑音制御手段を上記カラム選択手段ごとに隣接して配置したことを特徴としている。

【0008】請求項3記載の発明は、請求項1又は2記載のイメージセンサに係り、上記行方向及び／又は列方向に接続する2個のピクセルブロックごとに、感度比較・較正用ピクセルを設け、該感度比較・較正用ピクセルに基づく両ピクセルブロックの雑音制御手段の出力を比較することによって、該両雑音制御手段の出力増幅器の利得ばらつきを検出するように構成したことを特徴としている。

【0009】請求項4記載の発明は、請求項3記載のイメージセンサに係り、上記利得ばらつきの検出結果に基づいて、上記両雑音制御手段の出力増幅器の利得ばらつきを補正するように構成したことを特徴としている。

【0010】また、請求項5記載の発明は、請求項1又は2記載のイメージセンサに係り、上記各雑音制御手段の出力側に該雑音制御手段からのアナログ信号からなる出力をデジタル信号に変換するアナログデジタル変換手段を設けたことを特徴としている。

【0011】請求項6記載の発明は、イメージセンサに係り、複数のピクセルを行方向と列方向とに二次元に配

列したピクセルブロックのパターンに対して、該ピクセルブロックの列側の外側に沿って列側の周辺回路のパターンを配置し、該ピクセルブロックの行側の外側に沿って行側の周辺回路のパターンを配置した第1のパターンと、該第1のパターンを行方向又は列方向に反転した第2のパターンとを、該両パターンにおける上記各ピクセルブロックのパターンが、行方向又は列方向に接続して配列してピクセルアレイのパターンを形成するように配置した露光用マスクを用いて基板上に露光を行うことによって、該基板上にイメージセンサを形成することを特徴としている。

【0012】請求項7記載の発明は、イメージセンサに係り、複数のピクセルを行方向と列方向とに二次元に配列したピクセルブロックのパターンに対して、該ピクセルブロックの列側の外側に沿って列側の周辺回路のパターンを配置し、該ピクセルブロックの行側の外側に沿って行側の周辺回路のパターンを配置した第1のパターンと、該第1のパターンを行方向に反転した第2のパターンと、該第1のパターンを列方向に反転した第3のパターンと、該第1のパターンを行方向及び列方向に反転した第4のパターンとを、該各パターンにおける上記各ピクセルブロックのパターンが、行方向及び列方向に接続して配列してピクセルアレイのパターンを形成するように配置した露光用マスクを用いて基板上に露光を行うことによって、該基板上にイメージセンサを形成することを特徴としている。

【0013】請求項8記載の発明は、イメージセンサに係り、複数のピクセルを行方向と列方向とに二次元に配列したピクセルブロックのパターンに対して、該ピクセルブロックの列側の外側に沿って列側の周辺回路のパターンを配置し、該ピクセルブロックの行側の外側に沿って行側の周辺回路のパターンを配置して形成した第1のパターンを有する露光用マスクと、該第1のパターンを行方向又は列方向に反転した第2のパターンを有する露光用マスクとを用いて、該両露光用マスクによる上記各ピクセルブロックのパターンが、行方向または列方向に接続して配列してピクセルアレイのパターンを形成するように1つの基板上に順次露光を行うことによって、該基板上にイメージセンサを形成することを特徴としている。

【0014】請求項9記載の発明は、イメージセンサに係り、複数のピクセルを行方向と列方向とに二次元に配列したピクセルブロックのパターンに対して、該ピクセルブロックの列側の外側に沿って列側の周辺回路のパターンを配置し、該ピクセルブロックの行側の外側に沿って行側の周辺回路のパターンを配置した第1のパターンを有する露光用マスクと、該第1のパターンを行方向に反転した第2のパターンを有する露光用マスクと、該第1のパターンを列方向に反転した第3のパターンを有する露光用マスクと、該第1のパターンを行方向及び列方

向に反転した第4のパターンを有する露光用マスクとを用いて、該各露光用マスクによる上記各ピクセルブロックのパターンが、行方向及び列方向に接続して配列してピクセルアレイのパターンを形成するように1つの基板上に順次露光を行うことによって、該基板上にイメージセンサを形成することを特徴としている。

【0015】

【作用】この発明の構成では、1チップのピクセルアレイが、2分割又は4分割されていて、それぞれピクセルブロックを形成し、各ピクセルブロックにそれぞれに行方向と列方向のアドレス発生部と読み出し信号に対する雑音制御回路とを有する周辺回路を備えることによって、それぞれ独立に分割動作と分割読み出しを行うので、ピクセルアレイ内の配線の負荷による遅延を小さくし、読み出しのフレームレートを向上させることができるとともに、回路設計とマスクレイアウトの工数を大幅に削減することができる。

【0016】またこの発明の別の構成では、上述の構成において、さらに、2個のピクセルブロックごとに、感度比較・較正用ピクセルを設けたことによって、各ピクセルブロックの雑音制御回路内の出力増幅器の利得ばらつきを検出することができるとともに、検出結果に基づいて各出力増幅器の利得ばらつきを規正することができる。

【0017】またこの発明のさらに別の構成では、各ピクセルブロックごとにアナログディジタル変換器を備えて、それぞれの雑音制御回路の出力をディジタル信号に変換してから出力するようにしたので、アナログ信号配線を長く引き回すことに基づく、出力増幅器の利得ばらつきや、電源及び周辺回路部などから混入する雑音を低減することができる。

【0018】またこの発明の方法では、ピクセルアレイを2分割または4分割したピクセルブロックごとに、それぞれ周辺回路を備えたイメージセンサを製作する際に、一組のピクセルブロックと周辺回路のみの回路設計とマスクレイアウト設計のみを行って形成したパターンと、このパターンを所要の向きに反転したパターンとを用い、各組のパターンを、それぞれのピクセルブロックが接続してピクセルアレイを形成するように配置して作製した露光用マスクを用いて基板上に露光を行って、イメージセンサを製作するので、露光用マスクを作成するための回路設計とマスクレイアウトの工数を削減することができる。

【0019】またこの発明の別の方法では、ピクセルアレイを2分割または4分割したピクセルブロックごとに、それぞれ周辺回路を備えたイメージセンサを製作する際に、一組のピクセルブロックと周辺回路のみの回路設計とマスクレイアウト設計のみを行って形成したパターンによって作成した露光用マスクと、この露光用マスクのパターンを所要の向きに反転したパターンによって

作成した露光用マスクとを用いて、基板上でそれぞれのピクセルブロックが接続してピクセルアレイを形成するように位置合わせして露光を行って、イメージセンサを製作するので、露光用マスクを作成するための回路設計とマスクレイアウトの工数を削減することができるとともに、2枚又は4枚の露光用マスクを用いて、2回又は4回の露光を行うことによって、1つのイメージセンサのチップを作成するので、1枚の露光用マスクによって露光可能な面積に対して、最大2倍又は4倍の面積規模のイメージセンサを製作することができる。

【0020】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態について説明する。説明は、実施例を用いて具体的に挙げる。

◇第1実施例

図1は、この発明の第1実施例であるイメージセンサの電気的構成を示すブロック図である。この例のイメージセンサは、図1に示すように、ピクセルブロック101、102と、アドレスデコーダ111、112と、ロウスキャンシフトレジスタ121、122と、カラムスキャンシフトレジスタ131、132と、ロウドライバ141、142と、雑音制御回路151、152と、クロック制御回路161、162とから概略構成されている。

【0021】ピクセルブロック101、102は、1チップのピクセルアレイを2分割した回路ブロックからなり、一平面上に左右（行方向、以下略す）又は上下（列方向、以下略す）に連続して並べたときに、ピクセルアレイ100を形成するように、基板のマスクレイアウト時、又は基板露光時に配置されるが、これらは左右又は上下でそれぞれ独立に分割動作と分割読み出しを行うことができるようになっている。アドレスデコーダ111、112は、それぞれ外部からのアドレス信号に応じて、垂直方向（列方向、以下略す）と水平方向（行方向、以下略す）の先頭アドレスを生成して、ロウスキャンシフトレジスタ121、122と、カラムスキャンシフトレジスタ131、132に供給する。ロウスキャンシフトレジスタ121、122は、それぞれクロックに応じて、垂直方向の先頭アドレスから、順次シフトするロウアドレスを生成する。ロウドライバ141、142は、ロウスキャンシフトレジスタ121、122からのロウアドレスに応じて、それぞれピクセルブロック101、102における、ロウアドレスに対応するワード線を駆動する。カラムスキャンシフトレジスタ131、132は、それぞれクロックに応じて、水平方向の先頭アドレスから、順次シフトするカラムアドレスを生成して、ピクセルブロック101、102における、カラムアドレスに対応するビット線を駆動する。雑音制御回路151、152は、それぞれピクセルブロック101、102における、各ビット線から読み出され

る各ピクセルからの光電変換出力に対して、所要の雑音制御を行って出力を発生する。クロック制御回路161、162は、それぞれ、外部からのクロック信号に応じて、アドレスデコーダ111、112、ロウスキャンシフトレジスタ121、122、カラムスキャンシフトレジスタ131、132に対して、所要のクロックを供給する。

【0022】次に、図1を参照して、この例のイメージセンサの動作を説明する。ピクセルブロック101、102では、それぞれクロック制御回路161、162によって、アドレスデコーダ111、112、ロウスキャンシフトレジスタ121、122、カラムスキャンシフトレジスタ131、132にクロックを供給することによって、アドレスデコーダ111、112で生成された、ピクセルブロック101、102における、垂直方向と水平方向の先頭アドレスに応じて、ロウスキャンシフトレジスタ121、122において、それぞれクロックに応じて、垂直方向の先頭アドレスから順次シフトするアドレスを生成して、ロウドライバ141、142を介して、ピクセルアレイブロック101、102における、ロウアドレスに対応するワード線を駆動し、カラムスキャンシフトレジスタ131、132において、それぞれクロックに応じて、水平方向の先頭アドレスから、順次シフトするカラムアドレスを生成して、ピクセルブロック101、102における、カラムアドレスに対応するビット線を駆動する。そして、ピクセルブロック101、102における、ロウアドレスとカラムアドレスで指定されたピクセルから、ビット線を介して読み出される光電変換出力に対して、それぞれ雑音制御回路151、152によって、所要の雑音制御を行って出力を発生する。

【0023】図示されない外部回路では、例えば1フレーム分すなわち、1チップのピクセルアレイ相当のメモリを備えて、それぞれ雑音制御回路151、152から出力された、ピクセルブロック101、102に基づく画像情報を蓄積し、アドレス操作によって、ピクセルブロック101、102における、対応するワード線の走査が水平方向に連続して、順次、垂直方向に行われるとともに、ビット線の読み出しが水平方向に順次、連続して行われて、1チップのピクセルアレイからの読み出しと同様の出力が得られるように、所要の合成処理を行って映像出力を発生する。

【0024】このように、この例のイメージセンサでは、読み出しが、カラム側（又はロウ側）で2分割されるため、ピクセルアレイ内の配線の負荷による遅延が小さくなるとともに、分割読み出しを行うため、読み出しのフレームレートを向上させることができ、従って、イメージセンサの性能を向上させることができる。さらに、1チップのピクセルアレイ中の任意の1/2の部分の、回路設計とマスクレイアウトのみを行って、残りの

部分は、例えば左右（又は上下）に反転したパターンを用意して、マスクレイアウト時または基板露光時に、両ピクセルブロックが左右、（又は上下）に連続的に並ぶように、2分割した回路ブロックを配置することによって、ピクセルアレイを形成するので、イメージセンサの設計工数を大幅に削減することができる。

【0025】◇第2実施例

図2は、この発明の第2実施例であるイメージセンサの電気的構成を示すブロック図である。この例のイメージセンサは、図2に示すように、ピクセルブロック10 10 1, 102, 103, 104と、アドレスデコード11 1, 112, 113, 114と、ロウスキャンシフトレジスタ121, 122, 123, 124と、カラムスキャンシフトレジスタ131, 132, 133, 134と、ロウドライバ141, 142, 143, 144と、雑音制御回路151, 152, 153, 154と、クロック制御回路161, 162, 163, 164とから概略構成されている。

【0026】ピクセルブロック101, 102, 103, 104は、1チップのピクセルアレイを4分割した回路ブロックからなり、一平面上に左右、上下に連続して並べたとき、ピクセルアレイ100Aを形成するように、基板のマスクレイアウト時、又は基板露光時に配置されるが、これらは左右、上下でそれぞれ独立に分割動作と分割読み出しを行うことができるようになっている。アドレスデコード111, 112, 113, 114は、それぞれ外部からのアドレス信号に応じて、垂直方向と水平方向の先頭アドレスを生成して、ロウスキャンシフトレジスタ121, 122, 123, 124と、カラムスキャンシフトレジスタ131, 132, 133, 134に供給する。ロウスキャンシフトレジスタ121, 122, 123, 124は、それぞれクロックに応じて、垂直方向の先頭アドレスから、順次シフトするロウアドレスを生成する。ロウドライバ141, 142, 143, 144は、ロウスキャンシフトレジスタ121, 122, 123, 124からのロウアドレスに応じて、それぞれピクセルブロック101, 102, 103, 104における、ロウアドレスに対応するワード線を駆動する。カラムスキャンシフトレジスタ131, 132, 133, 134は、それぞれクロックに応じて、水平方向の先頭アドレスから、順次シフトするカラムアドレスを生成して、ピクセルブロック101, 102, 103, 104における、カラムアドレスに対応するビット線を駆動する。雑音制御回路151, 152, 153, 154は、それぞれピクセルブロック101, 102, 103, 104における、各ビット線から読み出された、各ピクセルの光電変換出力に対して、所要の雑音制御を行って出力を発生する。クロック制御回路161, 162, 163, 164は、それぞれ、外部からのクロック信号に応じて、アドレスデコード11 50

1, 112, 113, 114, ロウスキャンシフトレジスタ121, 122, 123, 124, カラムスキャンシフトレジスタ131, 132, 133, 134に対して、所要のクロックを供給する。

【0027】次に、図2を参照して、この例のイメージセンサの動作を説明する。ピクセルブロック101, 102, 103, 104では、それぞれクロック制御回路161, 162, 163, 164によって、アドレスデコード111, 112, 113, 114, ロウスキャンシフトレジスタ121, 122, 123, 124, カラムスキャンシフトレジスタ131, 132, 133, 134にクロックを供給することによって、アドレスデコード111, 112, 113, 114で生成された、ピクセルブロック101, 102, 103, 104における、垂直方向と水平方向の先頭アドレスに応じて、ロウスキャンシフトレジスタ121, 122, 123, 124において、それぞれクロックに応じて、垂直方向の先頭アドレスから順次シフトするロウアドレスを生成して、ロウドライバ141, 142, 143, 144を介して、ピクセルブロック101, 102, 103, 104における、ロウアドレスに対応するワード線を駆動し、カラムスキャンシフトレジスタ131, 132, 133, 134において、それぞれクロックに応じて、水平方向の先頭アドレスから、順次シフトするカラムアドレスを生成して、ピクセルブロック101, 102, 103, 104における、カラムアドレスに対応するビット線を駆動する。そして、ピクセルブロック101, 102, 103, 104における、ロウアドレスとカラムアドレスで指定されたピクセルから、ビット線を介して読み出された光電変換出力に対して、それぞれ雑音制御回路151, 152, 153, 154によって、所要の雑音制御を行って出力を発生する。

【0028】図示されない外部回路では、例えば1フレーム分すなわち、1チップのピクセルアレイ相当のメモリを備えて、それぞれ雑音制御回路151, 152, 153, 154から出力された、ピクセルブロック101, 102, 103, 104に基づく画像情報を蓄積し、アドレス操作によって、ピクセルブロック101, 102及び103, 104における、対応するワード線の走査が水平方向に連続して、順次、垂直方向に行われるとともに、ピクセルブロック101, 103及び102, 104における、対応するビット線の走査が垂直方向に連続して、順次、水平方向に行われて、1チップのピクセルアレイからの読み出しと同様の出力が得られるように、所要の合成処理を行って映像出力を発生する。

【0029】このように、この例のイメージセンサでは、読み出しが、カラム側とロウ側とでそれぞれ2分割されるため、ピクセルアレイ内の配線の負荷による遅延が小さくなるとともに、分割読み出しを行うため、読み出しのフレームレートを向上させることができ、従っ

11

て、イメージセンサの性能を向上させることができる。さらに、1チップのピクセルアレイ中の任意の1/4の部分の回路設計とマスキングのみを行って、残りの部分は、例えば左右及び/又は上下に反転したパターンを用意して、マスキング時または基板の露光時に、4個のピクセルブロックが左右、上下に連続的に並ぶように、4分割した回路ブロックを配置することによって、ピクセルアレイを形成するので、イメージセンサの設計工数を大幅に削減することができる。

【0030】◇第3実施例

図3は、この発明の第3実施例であるイメージセンサの電気的構成を示すブロック図である。この例のイメージセンサは、図3に示すように、ピクセルブロック101、102と、アドレスデコード111、112と、ロウスキャンシフトレジスタ121、122と、カラムスキャンシフトレジスタ131、132と、ロウドライバ141、142と、雑音制御回路151A、152Aと、クロック制御回路161、162と、感度比較・較正用ピクセル171とから概略構成されている。

【0031】この例において、ピクセルブロック101、102と、アドレスデコード111、112と、ロウスキャンシフトレジスタ121、122と、カラムスキャンシフトレジスタ131、132と、ロウドライバ141、142と、クロック制御回路161、162とは、それぞれ図1に示された第1実施例における、同じ符号の回路要素と同じ構成を有し、それらの機能もまた同様なので、以下においては、これらについての詳細な説明を省略し、又は簡略化する。感度比較・較正用ピクセル171は、ピクセルアレイ100の有効画素領域外に設けられていて、図示されない制御部の制御に基づいて、テスト時に、その光電変換出力を、それぞれ雑音制御回路151A、152Aに読み出す。雑音制御回路151A、152Aは、それぞれピクセルブロック101、102における、各ビット線から読み出される、各ピクセルからの光電変換出力に対して、所要の雑音制御を行って出力を発生するとともに、図示されない制御部の制御に基づいて、感度比較・較正用ピクセル171の読み出し出力に基づく、両雑音制御回路151A、152Aの出力増幅器における、出力レベルの比較を行い、利得ばらつきを検出するとともに、検出結果に基づいて出力増幅器の利得を調整するように構成されている。

【0032】次に、図3を参照して、この例のイメージセンサの動作を説明する。ピクセルブロック101、102では、図1の場合と同様にして、分割動作と分割読み出しを行って、ロウアドレスとカラムアドレスの指定に応じて、各ピクセルからの光電変換出力を発生し、雑音制御回路151A、152Aでは、これに対して、それぞれ所要の雑音制御を行って出力を発生する。この際、図示されない制御部の制御に応じて、感度比較・較

12

正用ピクセル171の出力に基づく、雑音制御回路151A、152Aのそれぞれの出力増幅器の出力レベルを比較することによって、両雑音制御回路151A、152Aにおける、出力増幅器を含むそれぞれの利得ばらつきの有無と大きさを知ることができる。さらに、図示されない制御部の制御に応じて、出力レベルの検出結果に基づいて、両雑音制御回路151A、152Aにおける、それぞれの出力増幅器の利得を制御することによって、両雑音制御回路151A、152Aの利得を等しくすることができ、これによって、ピクセルブロック101、102を構成する各ピクセルの能力が等しい限り、等しい光入力レベル時における、両雑音制御回路151A、152Aからの出力レベルが等しくなるようにすることができる。

【0033】このように、この例のイメージセンサでは、ピクセルアレイと周辺回路を、2分割して配置したので、ピクセルアレイ内の配線の負荷による遅延を小さくし、読み出しのフレームレートを向上させ、さらに、イメージセンサの設計工数を大幅に削減することができる。するとともに、2分割したピクセルブロックに対して、感度比較・較正用ピクセルを設けることによって、分割して配置されたピクセルブロックに対応する各雑音制御回路内の出力増幅器の利得ばらつきを検出するとともに、両出力増幅器の利得ばらつきの補正を行うことができる。

【0034】◇第4実施例

図4は、この発明の第4実施例であるイメージセンサの電気的構成を示すブロック図である。この例のイメージセンサは、図4に示すように、ピクセルブロック101、102、103、104と、アドレスデコード111、112、113、114と、ロウスキャンシフトレジスタ121、122、123、124と、カラムスキャンシフトレジスタ131、132、133、134と、ロウドライバ141、142、143、144と、雑音制御回路151A、152A、153A、154Aと、クロック制御回路161、162、163、164と、感度比較・較正用ピクセル171、172、173、174とから概略構成されている。

【0035】この例において、ピクセルブロック101、102、103、104と、アドレスデコード111、112、113、114と、ロウスキャンシフトレジスタ121、122、123、124と、カラムスキャンシフトレジスタ131、132、133、134と、ロウドライバ141、142、143、144と、クロック制御回路161、162、163、164とは、それぞれ図2に示された第2実施例における、同じ符号の回路要素と同じ構成を有し、それらの機能もまた同様である。感度比較・較正用ピクセル171、172、173、174は、ピクセルアレイ100の有効画素領域外に設けられていて、図示されない制御部の制御

10

20

30

40

50

に基づいて、テスト時に、その光電変換出力を、それぞれ一対の雑音制御回路(151A, 152A), (151A, 153A), (152A, 154A), (153A, 154A)に読み出す。雑音制御回路151A, 152A, 153A, 154Aは、それぞれピクセルブロック101, 102, 103, 104における、各ビット線から読み出される、各ピクセルからの光電変換出力に対して、所要の雑音制御を行って出力を発生するとともに、図示されない制御部の制御に基づいて、感度比較・較正用ピクセル171, 172, 173, 174の読み出し出力に基づく、それぞれ一対の雑音制御回路(151A, 152A), (151A, 153A), (153A, 154A), (152A, 154A)の出力増幅器における、出力レベルの比較を行い、各一対の出力増幅器の間の利得ばらつきを検出するとともに、検出結果に基づいて両出力増幅器の利得を調整するように構成されている。

【0036】次に、図4を参照して、この例のイメージセンサの動作を説明する。ピクセルブロック101, 102, 103, 104では、図2の場合と同様にして、分割動作と分割読み出しを行って、ロウアドレスとカラムアドレスの指定に応じて、各ピクセルからの光電変換出力を発生し、雑音制御回路151A, 152A, 153A, 154Aでは、これに対して、それぞれ所要の雑音制御を行って出力を発生する。この際、図示されない制御部の制御に応じて、感度比較・較正用ピクセル171, 172, 173, 174の読み出し出力に基づく、それぞれ一対の雑音制御回路(151A, 152A), (151A, 153A), (152A, 154A), (153A, 154A)の出力増幅器における、出力レベルの比較を行うことによって、各雑音制御回路151A, 152A, 153A, 154Aにおける、出力増幅器を含むそれぞれの利得ばらつきの有無と大きさを知ることができる。さらに、図示されない制御部の制御に基づいて、出力レベルの検出結果に基づいて、各雑音制御回路151A, 152A, 153A, 154Aにおける、それぞれの出力増幅器の利得を制御することによって、各雑音制御回路151A, 152A, 153A, 154Aの利得を等しくすることができ、これによって、ピクセルブロック101, 102, 103, 104を構成する各ピクセルの能力が等しい限り、等しい光入力レベル時における、各雑音制御回路151A, 152A, 153A, 154Aからの出力レベルが等しくなるようにすることができる。

【0037】このように、この例のイメージセンサでは、ピクセルアレイと周辺回路を、4分割して配置したので、ピクセルアレイ内の配線の負荷による遅延が小さし、読み出しのフレームレートを向上させ、さらに、イメージセンサの設計工数を大幅に削減することができる。とともに、4分割したピクセルブロックに対して、2つ

のピクセルブロックごとに、感度比較・較正用ピクセルを設けることによって、分割して配置されたピクセルブロックに対応する各雑音制御回路内の出力用増幅器の利得ばらつきを検出するとともに、両出力増幅器の利得ばらつきの補正を行うことができる。

【0038】◇第5実施例

図5は、この発明の第5実施例であるイメージセンサの電気的構成を示すブロック図である。この例のイメージセンサは、図5に示すように、ピクセルブロック101, 102と、アドレスデコーダ111, 112と、ロウスキャンシフトレジスタ121, 122と、カラムスキャンシフトレジスタ131, 132と、ロウドライバ141, 142と、雑音制御回路151, 152と、クロック制御回路161, 162と、アナログディジタル(A/D)変換器181, 182とから概略構成されている。

【0039】この例において、ピクセルブロック101, 102と、アドレスデコーダ111, 112と、ロウスキャンシフトレジスタ121, 122と、カラムスキャンシフトレジスタ131, 132と、ロウドライバ141, 142と、雑音制御回路151, 152と、クロック制御回路161, 162とは、それぞれ図1に示された第1実施例における、同じ符号の回路要素と同じ構成を有し、それらの機能もまた同様である。A/D変換器181, 182は、それぞれピクセルブロック101, 102からカラムごとに読み出され、雑音制御回路151, 152において雑音制御を行われた、アナログ信号からなる出力を、ディジタル信号に変換して出力する。

【0040】次に、図5を参照して、この例のイメージセンサの動作を説明する。ピクセルブロック101, 102では、図1の場合と同様にして、分割動作と分割読み出しを行って、ロウアドレスとカラムアドレスの指定に応じて、各ピクセルからの光電変換出力を発生し、雑音制御回路151, 152では、これに対して、それぞれ所要の雑音制御を行って出力を発生する。A/D変換器181, 182は、それぞれ雑音制御回路151, 152からの、アナログ信号からなる出力を、ディジタル信号に変換して出力する。

【0041】イメージセンサを用いた映像機器において、アナログ信号配線を長く引き回すことによって、出力増幅器の利得ばらつきや、電源及び周辺回路などから混入する雑音の影響を受ける可能性が高くなり、映像出力レベルのばらつきや雑音の原因となる場合がある。そこで、ピクセルアレイの近くにA/D変換器において、雑音制御回路からのアナログ信号からなる出力を、ディジタル信号に変換して出力するようにすれば、アナログ信号の引き回しが少なくなり、映像出力レベルにばらつきを生じる恐れが少なくなるとともに、ノイズを低減することができる。

【0042】このように、この例のイメージセンサでは、ピクセルアレイと周辺回路を、2分割して配置したので、ピクセルアレイ内の配線の負荷による遅延を小さくし、読み出しのフレームレートを向上させ、さらに、イメージセンサの設計工数を大幅に削減することができる。同時に、雑音制御回路出力にA/D変換器を設けて、イメージセンサ出力をデジタル信号化したので、映像出力におけるレベルばらつきとノイズを低減することができる。

【0043】◇第6実施例

図6は、この発明の第6実施例であるイメージセンサの電気的構成を示すブロック図である。この例のイメージセンサは、図6に示すように、ピクセルブロック101、102、103、104と、アドレスデコーダ111、112、113、114と、ロウスキャンシフトレジスタ121、122、123、124と、カラムスキャンシフトレジスタ131、132、133、134と、ロウドライバ141、142、143、144と、雑音制御回路151、152、153、154と、クロック制御回路161、162、163、164と、アナログデジタル(A/D)変換器181、182、183、184とから概略構成されている。

【0044】この例において、ピクセルブロック101、102、103、104と、アドレスデコーダ111、112、113、114と、ロウスキャンシフトレジスタ121、122、123、124と、カラムスキャンシフトレジスタ131、132、133、134と、ロウドライバ141、142、143、144と、クロック制御回路161、162、163、164とは、それぞれ図2に示された第2実施例における、同じ符号の回路要素と同じ構成を有し、それらの機能もまた同様である。A/D変換器181、182、183、184は、それぞれピクセルブロック101、102、103、104からカラムごとに読み出され、雑音制御回路151、152、153、154において雑音制御を行われた、アナログ信号からなる出力を、デジタル信号に変換して出力する。

【0045】次に、図6を参照して、この例のイメージセンサの動作を説明する。ピクセルブロック101、102、103、104では、図2の場合と同様にして、分割動作と分割読み出しを行って、ロウアドレスとカラムアドレスの指定に応じて、各ピクセルから光電変換出力を発生し、雑音制御回路151、152、153、154では、これに対して、それぞれ所要の雑音制御を行って出力を発生する。A/D変換器181、182、183、184は、それぞれ雑音制御回路151、152、153、154からの、アナログ信号からなる出力を、デジタル信号に変換して出力する。

【0046】イメージセンサを用いた映像機器において、アナログ信号配線を長く引き回すことによって、出

力増幅器の利得ばらつきや、電源及び周辺回路などから混入する雑音の影響を受ける可能性が高くなり、映像出力レベルのばらつきや雑音の原因となる場合がある。そこで、ピクセルアレイの近くにA/D変換器において、雑音制御回路からのアナログ信号からなる出力を、デジタル信号に変換して出力するようにすれば、アナログ信号の引き回しが少なくなり、映像出力レベルにばらつきを生じる恐れが少なくなるとともに、ノイズを低減することができる。

10 【0047】このように、この例のイメージセンサでは、ピクセルアレイと周辺回路を、4分割して配置したので、ピクセルアレイ内の配線の負荷による遅延を小さくし、読み出しのフレームレートを向上させ、さらに、イメージセンサの設計工数を大幅に削減することができる。同時に、雑音制御回路出力にA/D変換器を設けて、イメージセンサ出力をデジタル信号化したので、映像出力におけるレベルばらつきとノイズを低減することができる。

【0048】◇第7実施例

20 図7は、この発明の第7実施例であるイメージセンサの製作方法を説明する図である。この例の露光用マスク21は、図7(a)に示すように、複数のピクセルを水平方向と垂直方向とに二次元に配列したピクセルブロックのパターン19A、19Bに対して、同じ添字によって対応する、列側の周辺回路のパターン20A1、20B1を、それぞれピクセルブロックのパターン19A、19Bの列側の外側に配置し、行側の周辺回路のパターン20A2、20B2を、それぞれピクセルブロックのパターン19A、19Bの行側の外側に配置したパターンを、1枚のマスク上に形成したものである。

30 【0049】ここで、ピクセルブロックのパターン19Aは、例えば第1実施例の場合のピクセルブロック101に対応するものであり、周辺回路のパターン20A1は、例えば第1実施例の場合の、アドレスデコーダ111、ロウスキャンシフトレジスタ111、ロウドライバ141、クロック制御回路161のパターンを含むものであり、周辺回路20A2のパターンは、例えば第1実施例の場合の、カラムスキャンシフトレジスタ131、雑音制御回路151のパターンを含むものである。他のピクセルブロックのパターン19Bと、周辺回路のパターン20B1、20B2との関係も同様である。また、周辺回路の構成が、第3実施例、第5実施例に対応するものである場合も同様である。

40 【0050】この際の回路設計とマスクレイアウトは、例えば、ピクセルブロックのパターン19Aと周辺回路のパターン20A1、20A2のみに対して行ったのち、ピクセルブロックのパターン19Aと周辺回路のパターン20A1、20A2とからなるパターンを左右に反転したものによって、ピクセルブロックのパターン19Bと周辺回路のパターン20B1、20B2とを形成

して、これをピクセルブロックのパターン19Bがピクセルブロックのパターン19Aの右側に隣接する位置に配置することによって、マスク21を作成する。

【0051】このようにして作成されたマスク21を用いて、イメージセンサを製作する場合には、図7(b)に示すように、マスク21を使用してシリコン基板上に1回の露光を行うことによって、ピクセルブロック22A、22Bが接続してなるピクセルアレイ220と、各ピクセルブロック22A、22Bの周囲にそれぞれ周辺回路(23A1、23A2)、(23B1、23B2)が配置されたイメージセンサ基板24の露光が行われるので、以後、現像等の周知の処理を行うことによって、イメージセンサのチップを製作することができる。

【0052】このように、この例のイメージセンサの製作方法では、一つのピクセルブロックとその周辺回路に対する回路設計とマスクレイアウトによって形成されたパターンと、このパターンを左右に反転して形成したパターンとによって、露光用マスクを作成し、この露光用マスクによる1回の露光によって、イメージセンサ基板を製作するので、イメージセンサの回路設計とマスク

レイアウトに必要な工数を削減することができる。

【0053】◇第8実施例
図8は、この発明の第8実施例であるイメージセンサの製作方法を説明する図である。この例の露光用マスク21Aは、図8(a)に示すように、複数のピクセルを水平方向と垂直方向とに二次元に配列したピクセルブロックのパターン19A、19B、19C、19Dに対して、同じ添字によって対応する、列側の周辺回路のパターン20A1、20B1、20C1、20D1を、それぞれピクセルブロックのパターン19A、19B、19C、19Dの列側の外側に配置し、行側の周辺回路のパターン20A2、20B2、20C2、20D2を、それぞれピクセルブロックのパターン19A、19B、19C、19Dの行側の外側に配置したパターンを、1枚のマスク上に形成したものである。

【0054】ここで、ピクセルブロックのパターン19Aは、例えば第2実施例の場合のピクセルブロック101に対応するものであり、周辺回路のパターン20A1は、例えば第2実施例の場合の、アドレスデコード111、ロウスキャンシフトレジスタ121、ロウドライバ141、クロック制御回路161のパターンを含むものであり、周辺回路20A2のパターンは、例えば第2実施例の場合の、カラムスキャンシフトレジスタ131、雑音制御回路151のパターンを含むものである。他のピクセルブロックのパターン19B、19C、19Dと、周辺回路のパターン(20B1、20B2)、(20C1、20C2)、(20D1、20D2)との関係も同様である。また、周辺回路の構成が、第4実施例、第6実施例に対応するものである場合も同様である。

【0055】この際の回路設計とマスクレイアウトは、例えば、ピクセルブロックのパターン19Aと周辺回路のパターン20A1、20A2のみに対して行ったのち、ピクセルブロックのパターン19Aと周辺回路のパターン20A1、20A2とからなるパターンを左右に反転したものによって、ピクセルブロックのパターン19Bと周辺回路のパターン20B1、20B2とを形成して、これをピクセルブロックのパターン19Bがピクセルブロックのパターン19Aの右側に隣接する位置に配置し、ピクセルブロックのパターン19Aと周辺回路のパターン20A1、20A2とからなるパターンを上下に反転したものによって、ピクセルブロックのパターン19Cと周辺回路のパターン20C1、20C2とを形成して、これをピクセルブロックのパターン19Cがピクセルブロックのパターン19Aの下側に隣接する位置に配置し、ピクセルブロックのパターン19Aと周辺回路のパターン20A1、20A2とからなるパターンを左右と上下に反転したものによって、ピクセルブロックのパターン19Dと周辺回路のパターン20D1、20D2とを形成して、これをピクセルブロックのパターン19Dがピクセルブロックのパターン19Aの右下側の、ピクセルブロックのパターン19Bとピクセルブロックのパターン19Cとに隣接する位置に配置することによって、露光用マスク21Aを製作する。

【0056】このようにして作成された露光用マスクを用いて、イメージセンサを製作する場合には、図8(b)に示すように、マスク21Aを使用してシリコン基板上に1回の露光を行うことによって、ピクセルブロック22A、22B、22C、22Dが接続してなるピクセルアレイ221と、各ピクセルブロック22A、22B、22C、22Dの周囲にそれぞれ周辺回路(23A1、23A2)、(23B1、23B2)、(23C1、23C2)、(23D1、23D2)が配置されたイメージセンサ基板24Aの露光が行われるので、以後、現像等の周知の処理を行うことによって、イメージセンサのチップを製作することができる。

【0057】このように、この例のイメージセンサの製作方法では、一つのピクセルブロックとその周辺回路に対する回路設計とマスクレイアウトによって形成されたパターンと、このパターンを左右に反転して形成したパターンと、上下に反転して形成したパターンと、左右と上下に反転して形成したパターンとによって、露光用マスクを作成し、この露光用マスクによる1回の露光によって、イメージセンサ基板を製作するので、イメージセンサの回路設計とマスクレイアウトに必要な工数を削減することができる。

【0058】図9は、この発明の第9実施例であるイメージセンサの製作方法を説明する図である。この例の露光用マスクは、図9(a)に示すような、複数のピクセルを水平方向と垂直方向とに二次元に配列したピクセル

ブロックのパターン25Aと、列側の周辺回路のパターン26A1と行側の周辺回路のパターン26A2とからなるパターンを有するマスク27Aと、図9(b)に示すような、複数のピクセルを水平方向と垂直方向とに二次元に配列したピクセルブロックのパターン25Bと、列側の周辺回路のパターン26B1と行側の周辺回路のパターン26B2とからなるパターンを有するマスク27Bとからなっている。

【0059】ここで、ピクセルブロックのパターン25Aは、例えば第1実施例の場合のピクセルブロック101に対応するものであり、周辺回路のパターン26A1は、例えば第1実施例の場合の、アドレスデコーダ111、ロウスキャンシフトレジスタ121、ロウドライバ141、クロック制御回路161からなるパターンを含むものであり、周辺回路のパターン26A2は、例えば第1実施例の場合の、カラムスキャンシフトレジスタ131、雑音制御回路151からなるパターンを含むものである。他のピクセルブロックのパターン25Bと、周辺回路のパターン26B1、26B2との関係も同様である。また、周辺回路の構成が、第3実施例、第5実施例に対応するものである場合も同様である。

【0060】この際の回路設計とマスクレイアウトは、例えば、ピクセルブロックのパターン25Aと周辺回路のパターン26A1、26A2のみに対して行ってマスク27Aを作成し、マスク27Aのパターンを左右に反転したものによって、ピクセルブロックのパターン25Bと周辺回路のパターン26B1、26B2とからなるパターンを有するマスク27Bを作成する。

【0061】このようにして作製された露光用マスクを用いてイメージセンサを製作する場合には、図9(c)に示すように、マスク27A、27Bを使用して、順次、位置合わせを行いながら、シリコン基板上に2回の露光を行うことによって、ピクセルブロック28A、28Bが左右に接続してピクセルアレイ280を形成するとともに、各ピクセルブロック28A、28Bの周囲にそれぞれ周辺回路(29A1、29A2)、(29B1、29B2)が配置されたイメージセンサ基板30の露光が行われるので、以後、現像等の周知の処理を行うことによって、イメージセンサのチップを製作することができる。

【0062】このように、この例のイメージセンサの製作方法では、一つのピクセルブロックとその周辺回路のみに対する回路設計とマスクレイアウトによって形成したパターンによって作成した露光用マスクと、このパターンを左右に反転して形成したパターンによって作成した露光用マスクとを用い、順次、位置合わせしながら2回の露光を行うことによって、イメージセンサ基板を製作するので、イメージセンサの回路設計とマスクレイアウトに必要な工数を削減することができる。また、この例のイメージセンサの製作方法では、2枚の露光用マ

スクを用いて2回の露光を行って1つのイメージセンサのチップを作成するため、1枚の露光用マスクによって露光可能な面積に対して、最大2倍の面積規模のイメージセンサを製作することができる。

【0063】図10は、この発明の第10実施例であるイメージセンサの製作方法を説明する図である。この例の露光用マスクは、図10(a)に示すような、複数のピクセルを水平方向と垂直方向とに二次元に配列したピクセルブロックのパターン25Aと、列側の周辺回路のパターン26A1と行側の周辺回路のパターン26A2とからなるパターンを有するマスク27Aと、同図

(b)に示すような、複数のピクセルを水平方向と垂直方向とに二次元に配列したピクセルブロックのパターン25Bと、列側の周辺回路のパターン26B1と行側の周辺回路のパターン26B2とからなるパターンを有するマスク27Bと、同図(c)に示すような、複数のピクセルを水平方向と垂直方向とに二次元に配列したピクセルブロックのパターン25Cと、列側の周辺回路のパターン26C1と行側の周辺回路のパターン26C2とからなるパターンを有するマスク27Cと、同図(d)に示すような、複数のピクセルを水平方向と垂直方向とに二次元に配列したピクセルブロックのパターン25Dと、列側の周辺回路のパターン26D1と行側の周辺回路のパターン26D2とからなるパターンを有するマスク27Dとからなっている。

【0064】ここで、ピクセルブロックのパターン25Aは、例えば第2実施例の場合のピクセルブロック101に対応するものであり、周辺回路のパターン26A1は、例えば第2実施例の場合の、アドレスデコーダ111、ロウスキャンシフトレジスタ121、ロウドライバ141、クロック制御回路161からなるパターンを含むものであり、周辺回路のパターン26A2は、例えば第2実施例の場合の、カラムスキャンシフトレジスタ131、雑音制御回路151からなるパターンを含むものである。他のピクセルブロックのパターン25B、25C、25Dと、周辺回路のパターン(26B1、26B2)、(26C1、26C2)、(26D1、26D2)との関係も同様である。また、周辺回路の構成が、第4実施例、第6実施例に対応するものである場合も同様である。

【0065】この際の回路設計とマスクレイアウトは、例えば、ピクセルブロックのパターン25Aと周辺回路のパターン26A1、26A2のみに対して行ってマスク27Aを作成し、マスク27Aのパターンを左右に反転したものによって、ピクセルブロックのパターン25Bと周辺回路のパターン26B1、26B2とからなるパターンを有するマスク27Bを作製し、マスク27Aのパターンを上下に反転したものによって、ピクセルブロックのパターン25Cと周辺回路のパターン26C1、26C2とからなるパターンを有するマスク27C

を作成し、マスク27Aのパターンを左右と上下に反転したものによって、ピクセルブロックのパターン25Dと周辺回路のパターン26D1、26D2とからなるパターンを有するマスク27Dを作成する。

【0066】このようにして作成された露光用マスクを用いてイメージセンサを製作する場合には、同図(e)に示すように、マスク27A、27B、27C、27Dを使用して、順次、位置合わせを行いながら、シリコン基板上に4回の露光を行うことにより、ピクセルブロック28A、28B、27C、27Dが左右上下に接続してピクセルアレイ281を形成するとともに、各ピクセルブロック28A、28B、27C、27Dの周囲にそれぞれ周辺回路(29A1、29A2)、(29B1、29B2)、(29C1、29C2)、(29D1、29D2)が配置されたイメージセンサ基板30Aの露光が行われるので、以後、現像等の周知の処理を行うことにより、イメージセンサのチップを製作することができる。

【0067】このように、この例のイメージセンサの製作方法では、一つのピクセルブロックとその周辺回路に対する回路設計とマスクレイアウトによって形成したパターンによって作成した露光用マスクと、このパターンを左右に反転して形成したパターンによって作成した露光用マスクと、上下に反転して形成したパターンによって作成した露光用マスクと、左右と上下に反転して形成したパターンによって作成した露光用マスクとを用い、順次、位置合わせしながら4回の露光を行うことによって、イメージセンサ基板を製作するので、イメージセンサの回路設計とマスクレイアウトに必要な工数を削減することができる。また、この例のイメージセンサの製作方法では、4枚の露光用マスクを用いて4回の露光を行って1つのイメージセンサのチップを作成するため、1枚の露光用マスクによって露光可能な面積に対して、最大4倍の面積規模のイメージセンサを製作することができる。

【0068】以上、この発明の実施例を図面により詳述してきたが、具体的な構成はこの実施例に限られたものではなく、この発明の要旨を逸脱しない範囲の設計の変更等があってもこの発明に含まれる。例えば、各ピクセルブロックとそれぞれの周辺回路とは、同時に動作させてもよく、又はそれぞれ異なる時刻に順次動作させるようにしてもよい。後者の方法によれば、イメージセンサを動作させるための電力を低減することができる。また、感度比較・較正用ピクセルとして、各ピクセルブロック内のピクセルを使用して、このピクセルに基づく雑音制御回路の出力を比較してばらつきを検出し、出力が等しくなるように両出力増幅器の利得の補正を行うようにしてもよく、この方法によれば、有効画素領域外に感度比較・較正用ピクセル及びその制御回路を設ける必要がなくなる。

【0069】

【発明の効果】以上説明したように、この発明のイメージセンサによれば、ピクセルアレイと周辺回路を、2分割又は4分割して配置したので、ピクセルアレイ内の配線の負荷による遅延を小さくして、読み出しのフレームレートを向上させ、さらに、イメージセンサの設計工数を大幅に削減することができる。さらに、ピクセルアレイを2分割又は4分割したピクセルブロックに対して、感度比較・較正用ピクセルを設けたので、分割して配置されたピクセルブロックに対応する各雑音制御回路内の出力用増幅器の利得ばらつきを検出するとともに、利得ばらつきの補正を行うことができる。また、雑音制御回路出力にA/D変換器を設けて、イメージセンサ出力をデジタル信号化したので、アナログ信号の引き回しが少なくなり、映像出力においてレベルばらつきを生じる恐れが少なくなるとともに、ノイズを低減することができる。また、2枚又は4枚の露光用マスクを用いて、2回又は4回の露光を行うことによって、1つのイメージセンサのチップを製作するため、1枚の露光用マスクで露光可能な面積に対して、最大2倍又は4倍の面積規模のイメージセンサを製作することができる。

【図面の簡単な説明】

【図1】この発明の第1実施例であるイメージセンサの電氣的構成を示すブロック図である。

【図2】この発明の第2実施例であるイメージセンサの電氣的構成を示すブロック図である。

【図3】この発明の第3実施例であるイメージセンサの電氣的構成を示すブロック図である。

【図4】この発明の第4実施例であるイメージセンサの電氣的構成を示すブロック図である。

【図5】この発明の第5実施例であるイメージセンサの電氣的構成を示すブロック図である。

【図6】この発明の第6実施例であるイメージセンサの電氣的構成を示すブロック図である。

【図7】この発明の第7実施例であるイメージセンサの製作方法を説明するための説明図である。

【図8】この発明の第8実施例であるイメージセンサの製作方法を説明するための説明図である。

【図9】この発明の第9実施例であるイメージセンサの製作方法を説明するための説明図である。

【図10】この発明の第10実施例であるイメージセンサの製作方法を説明するための説明図である。

【図11】従来のCMOS型イメージセンサの構成を示す図である。

【符号の説明】

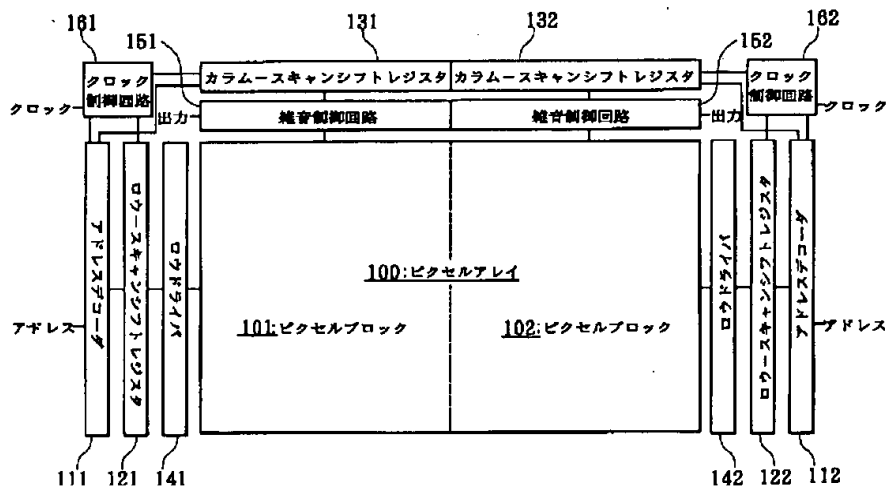
19A、19B、19C、19D、25A、25B、25C、25Dピクセルブロックのパターン
20A1、20B1、20C1、20D1、26A1、26B1、26C1、26D1

列側の周辺回路のパターン

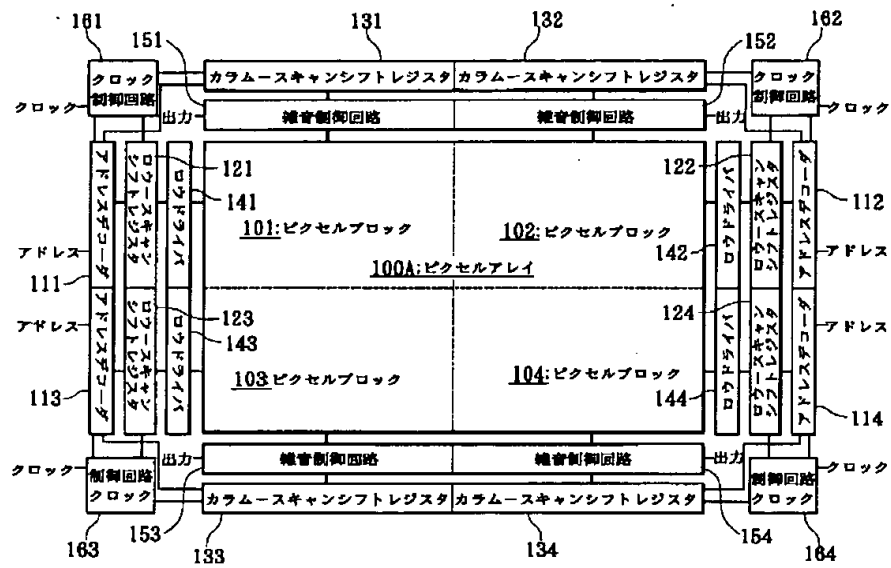
23
 20A2, 20B2, 20C2, 20D2, 26A2,
 26B2, 26C2, 26D2
 行側の周辺回路のパターン
 21, 21A, 27A, 27B, 27C, 27D
 露光用マスク
 22A, 22B, 22C, 22D, 28A, 28B, 2
 8C, 28Dピクセルブロック
 23A1, 23B1, 23C1, 23D1, 29A1,
 29B1, 29C1, 29D1
 列側の周辺回路
 23A2, 23B2, 23C2, 23D2, 29A2,
 29B2, 29C2, 29D2
 行側の周辺回路
 24, 24A, 30, 30A 基板
 100, 100A ピクセルアレイ
 101, 102, 103, 104 ピクセルブロッ
 ク
 111, 112, 113, 114 アドレスデコー

ダ
 121, 122, 123, 124 ロウースキャン
 シフトレジスタ(ロウ選択手段)
 131, 132, 133, 134 カラムースキャ
 ンシフトレジスタ(カラム選択手段)
 141, 142, 143, 144 ロウドライバ
 (ロウ選択手段)
 151, 151A, 152, 152A, 153, 153
 A, 154, 154A雑音制御回路(雑音制御手段)
 10 161, 162, 163, 164 クロック制御回
 路
 171, 172, 173, 174 感度比較・較正
 用ピクセル
 181, 182, 183, 184 A/Dコンバー
 タ(アナログデジタル変換手段)
 220, 221, 280, 281 イメージセンサ
 基板

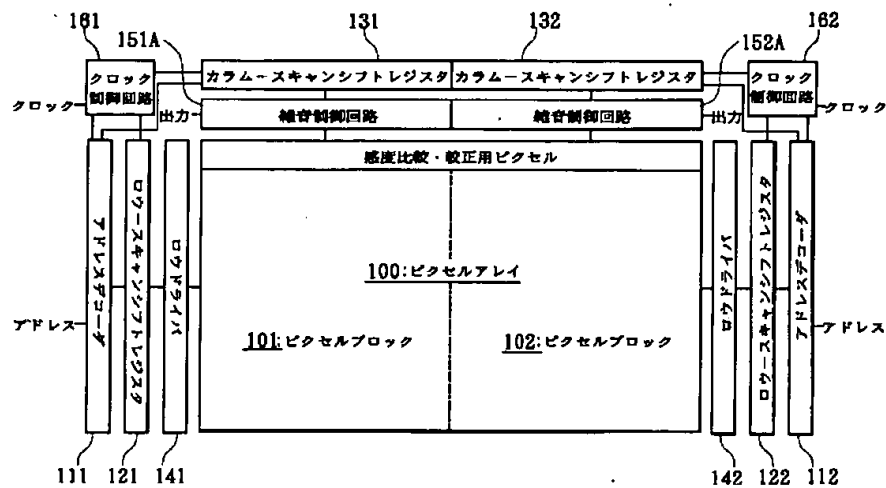
【図1】



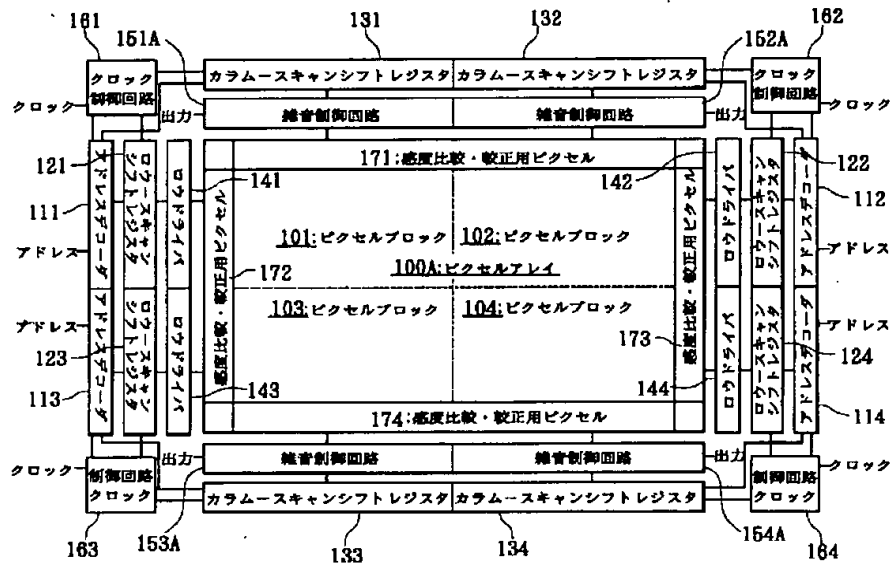
【図2】



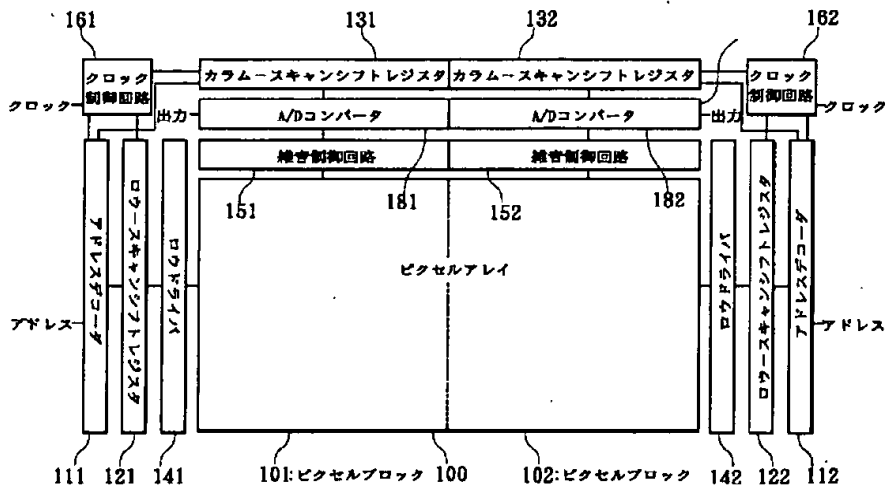
【図3】



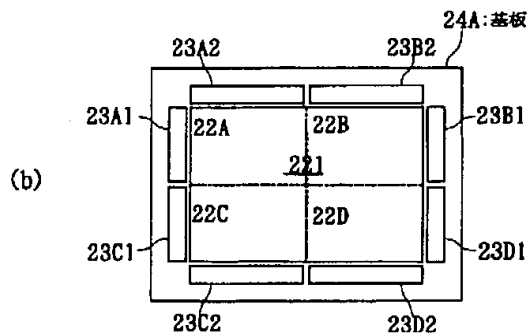
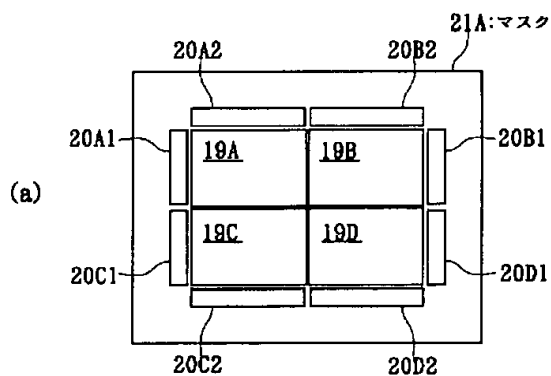
【図4】



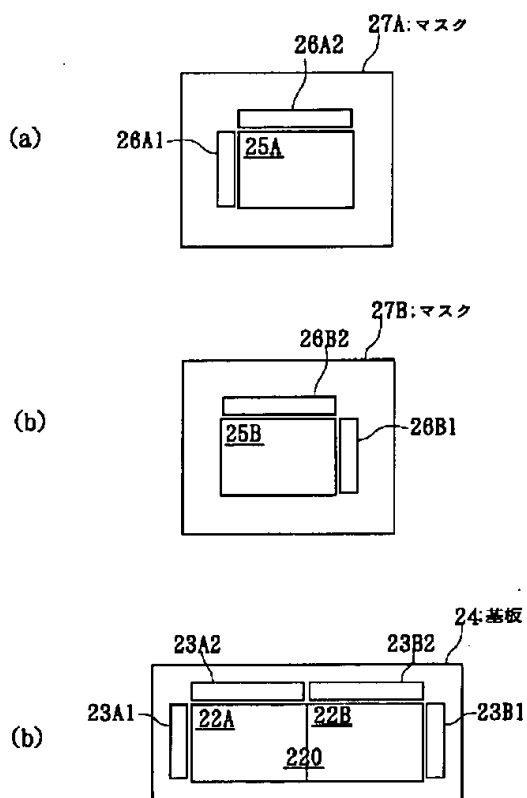
【図5】



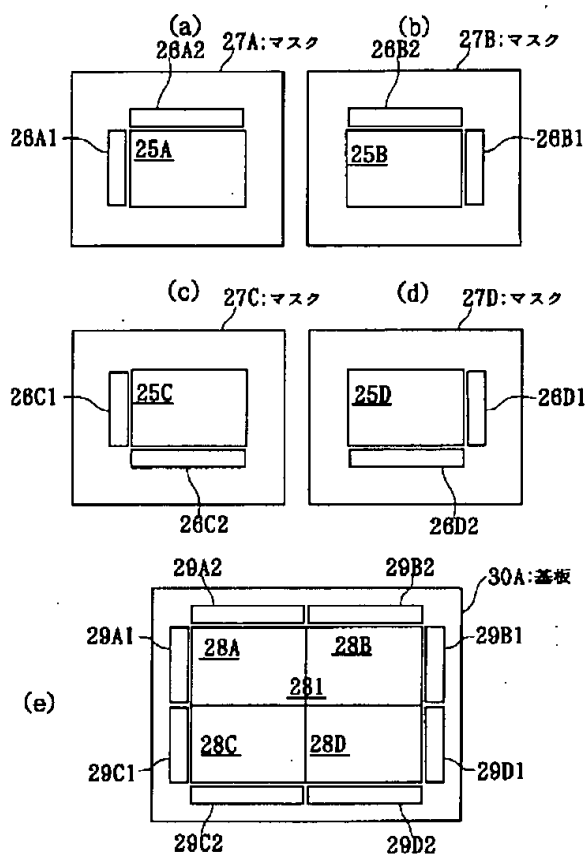
【图8】



【図9】



【図10】



【図11】

